

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2002-351406**

(43)Date of publication of application : **06.12.2002**

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09G 3/20

H03F 3/45

H03K 5/02

(21)Application number : **2001-150999**

(71)Applicant : **SUNPLUS TECHNOLOGY CO LTD**

(22)Date of filing : **21.05.2001**

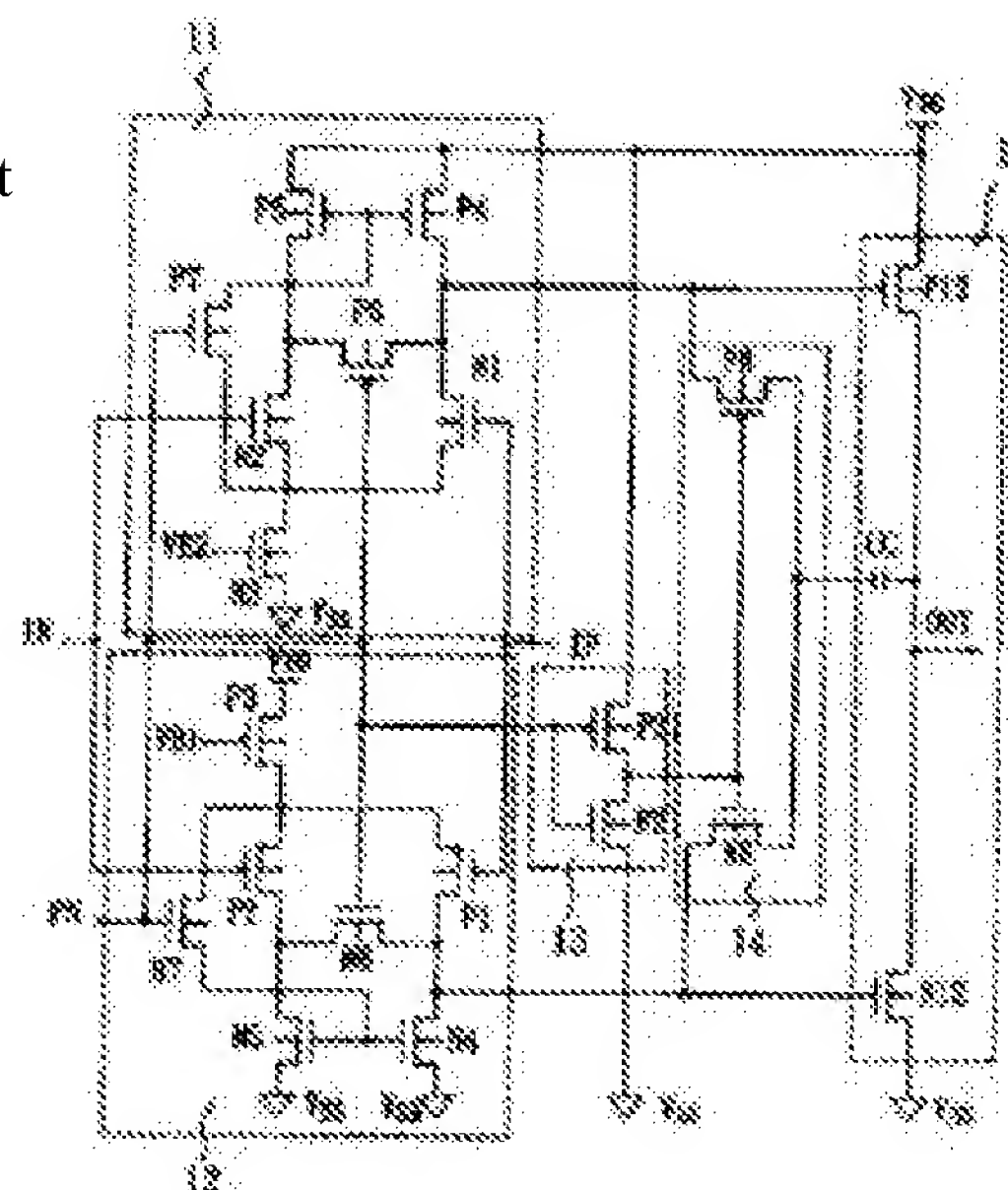
(72)Inventor : **JUANG DA-CHANG**

## (54) SOURCE DRIVING AMPLIFIER FOR LIQUID CRYSTAL DISPLAY

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a source driving amplifier for liquid crystal display.

**SOLUTION:** This amplifier is provided with a first input circuit which is changed over to an nMOS(metal oxide semiconductor) differential amplifier circuit or a bias circuit by a polarity changeover signal and a second input circuit which is changed over to a bias circuit or a pMOS differential amplifier circuit by the polarity changeover signal and, in them, the output of the first output circuit which is changed over to the nMOS differential amplifier circuit drives pMOS transistors being the pair of output transistors and makes the output of the transistors to be the amplified output level of a source and makes a current which is provided by the nMOS differential amplifier circuit being the pair of output transistors to be a bias voltage and the output of the second output circuit being the pMOS differential amplifier circuit drives the nMOS transistors being the pair of output transistors and makes the output of the transistors to be the amplified output level of a drain and makes a current which is provided by the pMOS differential amplifier circuit being the pair of output transistors to be a bias voltage. As a result, this amplifier is made to be an amplifier in which a DC offset problem is resolved effectively and also which is usable in a system of a point inversion and a line inversion and a potential reset is not necessary.



\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The 1st input circuit that is switched by a polar switching signal and made into a nMOS differential amplifying circuit or a bias circuit, It is considered as the 2nd input circuit, it is switched by this polar switching signal, and is considered as a bias circuit or a pMOS differential amplifying circuit, When a polar switching signal is in the 1st state, this 1st input circuit and the 2nd input circuit are switched, respectively, and are made into a nMOS differential amplifying circuit and a bias circuit, The 2nd input circuit of the above that this 1st input circuit and the 2nd input circuit are switched, respectively, and is made into a bias circuit and a pMOS differential amplifying circuit when this polar switching signal is in the 2nd state, It is considered as an output transistor pair and has a nMOS transistor and a pMOS transistor, An output of the 1st output circuit which was switched and was made into a nMOS differential amplifying circuit drives a pMOS transistor of this output transistor pair, It is considered as bias voltage by current which it is considered as an amplified output level of sauce out, and this nMOS transistor provides, The above-mentioned output transistor pair made into bias voltage with current which an output of the 2nd output circuit of a pMOS differential amplifying circuit drives a nMOS transistor of this output transistor pair, and is used as an amplified output level of a sink, and a pMOS transistor provides, \*\*\*\*\* -- a source driving amplifier of a liquid crystal display characterized by things.

[Claim 2] Said 1st input circuit is composed by the 1st to 3rd nMOS transistor, and the 4th to 7th pMOS transistor, Sauce of the 1st and 2nd nMOS transistors is connected with a drain of the 3rd nMOS transistor and the 7th pMOS transistor, A drain of the 1st nMOS transistor and the 6th and 4th pMOS transistors is connected with one, Furthermore, a gate and a drain of the 5th pMOS transistor are connected mutually, Furthermore, it is connected with a gate of the 4th pMOS transistor, sauce of the 6th and 7th pMOS transistors and a drain of the 2nd nMOS transistor, and mutual, A gate of the 1st and 2nd nMOS transistors is connected with the 1st and 2nd differential voltage input edge, respectively, A gate of the 3rd nMOS transistor is connected with the 1st bias end, and the sauce is connected by system low voltage, A source driving amplifier of the liquid crystal display according to claim 1, wherein sauce of the 4th pMOS and the 5th pMOS transistor was connected by voltage source and a gate of the 6th and 7th pMOS transistors is connected with this polar switching signal end.

[Claim 3] Said 2nd input circuit is composed by the 1st to 3rd pMOS transistor, and the 4th to 7th nMOS transistor, Sauce of the 1st and 2nd pMOS transistors is connected with a drain of the 3rd pMOS transistor and the 7th nMOS transistor, A drain of the 1st pMOS transistor and the 6th and 4th nMOS transistors is connected with one, A gate and a drain of the 5th nMOS transistor are

connected mutually, and further A gate of the 4th nMOS transistor, It is connected with source of the 6th and 7th nMOS transistors and a drain of the 2nd pMOS transistor, and mutual, A gate of the 1st and 2nd pMOS transistors is connected with the 1st and 2nd differential voltage input edge, respectively, A gate of the 3rd pMOS transistor is connected with the 2nd bias end, and the source is connected by voltage source, A source driving amplifier of the liquid crystal display according to claim 2, wherein source of the 4th and 5th nMOS transistors was connected by system low voltage and a gate of the 6th and 7th nMOS transistors is connected with this polar switching signal end.

[Claim 4]In a source driving amplifier of said liquid crystal display, compensation \*\*\*\* is used with a switch circuit, The above-mentioned switch circuit which switches an output of the 1st input circuit, is connected with this compensation \*\*\*\* when this polar switching signal is in the 1st state, switches an output of the 2nd input circuit and is connected with this compensation \*\*\*\* when this polar switching signal is in the 2nd state, \*\*\*\* -- a source driving amplifier of the liquid crystal display according to claim 3 characterized by things.

[Claim 5]A source driving amplifier of the liquid crystal display according to claim 4 being considered as an inverter, reversing a polar switching signal, and generating an inversion polarity switching signal in a source driving amplifier of said liquid crystal display, and inputting into a switch circuit, and presenting judgment of a state of a polar switching signal.

[Claim 6]A source driving amplifier of the liquid crystal display according to claim 4, wherein an inverter is composed by one pMOS transistor and one nMOS transistor, reverses a polar switching signal and generates an inversion signal in a source driving amplifier of said liquid crystal display.

[Claim 7]In a source driving amplifier of said liquid crystal display, one pMOS transistor is connected with one nMOS transistor, and an output transistor pair is formed, A source driving amplifier of the liquid crystal display according to claim 4, wherein a drain of these two transistors is connected with an end of compensation \*\*\*\*.

[Claim 8]In a source driving amplifier of said liquid crystal display, a switch circuit is composed by one pMOS transistor and one nMOS transistor, A gate of these two transistors is connected mutually, and it is connected with an outgoing end of an inverter, a drain of these two transistors being connected mutually, and that of compensation \*\*\*\* also being obtained, and it being connected with an end, and, A gate of a drain of source of a pMOS transistor of this switch circuit and the 1st nMOS transistor of the 1st input circuit and a pMOS transistor of this output transistor pair is connected mutually, A source driving amplifier of the liquid crystal display according to claim 7, wherein a gate of a drain of source of a nMOS transistor of this switch circuit and the 1st pMOS transistor of the 2nd input circuit and a nMOS transistor of this output transistor pair is connected mutually.

[Claim 9]A source driving amplifier of the liquid crystal display according to claim 8, wherein the 1st state of a polar switching signal is made into voltage source potential in a source driving amplifier of said liquid crystal display.

[Claim 10]A source driving amplifier of the liquid crystal display according to claim 8, wherein the 2nd state of a polar switching signal is made into system low voltage in a source driving amplifier of said liquid crystal display.

---

## DETAILED DESCRIPTION

---



[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the technical field of a kind of liquid crystal display drive circuit, and relates, for example to the source driving amplifier of a drive circuit usable to TFT LCD especially.

[0002]

[Description of the Prior Art] TFT LCD is a display of a kind of AKUATIBU matrix gestalt, and each of one unit pixel each (a dot or a pixel) which constitutes a matrix has one driving electrode, a pixel of one others, and a common common electrode (Common). When driving LCD with an exchange (AC) signal, namely, displaying the frame of the 1st piece, the voltage applied to a driving electrode must be positive voltage to a common electrode, and the voltage applied to a driving electrode must be negative voltage to a common electrode at the time of the following one frame.

[0003] In consideration of a matrix, the difference in a common electrode standard, and image quality, there are two kinds of drive systems used most regularly, one of them is considered as a point reversal (Dot inversion) drive, and one more kind is considered as a line reversal (Row inversion) drive. Before long, if even points of the odd number line of the frame of the 1st piece are driven on the positive voltage to a common electrode among the system of point inversion driving, If even points of an odd number line are driven on the negative voltage to a common electrode and odd points of the even number line of the frame of the 1st piece are driven on the negative voltage to a common electrode, even points will be driven on the positive voltage to a common electrode. Then, odd points of the even number line of the frame of the 2nd piece are driven on the positive voltage to a common electrode, and even points are driven on the negative voltage to a common electrode at the same time it drives odd points of the odd number line of the frame of the 2nd piece on the negative voltage to a common electrode and drives even points of this line on the positive voltage to a common electrode.

[0004] Among the system of line reversal, if all the points of the odd number line of the frame of the 1st piece are driven on the positive voltage to a common electrode, all the points of an even number line will be driven on the negative voltage to a common electrode.

Then, all the points of the odd number line of the frame of the 2nd piece are driven on the negative voltage to a common electrode, and all the points of an even number line are driven on the positive voltage to a common electrode.

[0005] Drawing 5 shows the driving mechanism of active TFT LCD of a K line xL sequence (K columns by L rows). If the K pixels 901 are horizontally required so that it may be illustrated, it must drive in the source driving unit 902 (Source Drive Unit;SDU) of K channels. Order is used by the perpendicular direction 903, i.e., a gate driver, with the voltage driving mode of each pixel 901 of each scanning line 904 (Line), and it holds on the driving electrode of the pixel 901.

[0006] Drawing 6 shows the one more source driving unit 902 for active TFT LCD, It is provided with the multiplexer 911 (MUX) which polar switching signal PN (Polarity Switch) controls, The voltage follower constituted from the operational amplifier 914 is provided with the output of the positive polar digital-to-analog converter 912 (positive DAC--DAC) or the negative polar digital-to-analog converter 913 (negative DAC;N-DAC), Amplify driving ability and the driving output DRVO is generated, The complementary type transmission gate 915 (CMOS transmission gate) which an output permission (Output Enable;OE) signal furthermore controls outputs the driver voltage VLCD on the line of the drive line of the panel of TFT LCD. The work waveform

is as being shown in drawing 7, and P-DAC912 and N-DAC913 generate before long the driver voltage which correspondence luminosity needs in response to input-digital-data control, The output of P-DAC912 and N-DAC913 is symmetrical with the backlash broth common electrode voltage mostly considered as similarity, and, thereby, coincides with a demand of AC drive.

[0007]For power saving, the output voltage range of this P-DAC912 and N-DAC913 is usually set to  $V_{SS}+0.1V$  to  $V_{DD}-0.1V$ . Thereby, the operational amplifier 914 used within the source driving unit 902 must have the capability of a full rail two rail (Fullrail-to-rail). And when an output is higher than the voltage of a common electrode, it is necessary to have very big current sourcing out capability (Current source out) capability, high speed charge of the \*\*\*\*\* (wiring \*\*\*\*\* on a panel) of TFTLCD is carried out by this, and it makes with high potential. In addition, when an output is lower than the voltage of a common electrode, very big current-sinking (current sink) capability is needed, and it makes with the low voltage which discharges promptly the high potential of the basis on \*\*\*\*\* of TFT LCD, and drives it by this.

[0008]In order to make this demand coincide with, as shown in drawing 8, let the operational amplifier which a traditional source driving unit uses be AB(s) operational amplifier of a kind of full rail two rail (refer to U.S. patent US6,100,762). It is connected in parallel and inputs the differential amplifier composed by one nMOS pair (N1, N2), and the differential amplifier composed by one pMOS pair (P1, P2). Both output current is a current mirror (AB(s) amplifier composed by N59, N10, N12, N13, N14 and P10, P11, and P12 is driven as an operational amplifier, it is outputted, and very big current sourcing and sink capability are gained.).

[0009]The fault of the operational amplifier of above-mentioned well-known is that the direct current offset (DC offset) is very large. the cause -- the inside of a CMOS process -- the difference in threshold voltage  $V_{TH}$  of each MOS -- always --\*\*from \*\*several millivolts -- it is in amounting to tens of mV, and such a difference serves as the main origins of direct-current-offset generating. Especially the direct current offset caused by the difference in threshold voltage  $V_{TH}$  of AB(s) operational amplifier of such a full rail two rail is severe, and the analysis is as follows.

[Equation 1]

$V_m < V_{TH\_N1}$  の時、

$$V_{OS\_L} = \frac{gm_{P1}\Delta V_{TH\_P1P2} + gm_{N3}\Delta V_{TH\_N3N6} + gm_{N7}\Delta V_{TH\_N7N8} + gm_{P5\_L}\Delta V_{TH\_P5P6}}{gm_{P1}}$$

$V_{TH\_N1} < V_m < (V_{DD} - V_{TH\_P1})$  の時、

$$V_{OS\_M} = \frac{gm_{P1}\Delta V_{TH\_P1P2} + gm_{N1}\Delta V_{TH\_N1N2} + gm_{N3}\Delta V_{TH\_N3N6} + gm_{N7}\Delta V_{TH\_N7N8} + gm_{P5\_M}\Delta V_{TH\_P5P6}}{gm_{P1} + gm_{N1}}$$

$(V_{DD} - V_{TH\_P1}) < V_m$  の時、

$$V_{OS\_H} = \frac{gm_{N1}\Delta V_{TH\_N1N2} + gm_{P3\_H}\Delta V_{TH\_P3P6}}{gm_{N1}}$$

Before long,  $gm_{pi}$  and  $gm_{Nj}$  represent the conversion electrical conduction (Transferconductance) of a pMOS transistor ( $Pi$ ,  $i=1, 2, 3 \dots$ ) and a nMOS transistor ( $Nj$ ,  $j=1, 2, 3 \dots$ ), [Equation 2]

$gm_{PS\_H}$ ,  $gm_{PS\_M}$ ,  $gm_{PS\_L}$

It is not the same as mutual by the difference in \*\*\*\*\* current, [Equation 3]

$\Delta V_{TH\_N1N2}$

On behalf of the threshold voltage difference among the \*\* nMOS differential pairs (Differential

pair) N1 and N2, other differential pairs or current \*\*\*\* (Currentmirror pair) are also represented with the same agreement.

[0010]From the viewpoint of business, it is a point voltage stage. [Equation 4]

$$V_{TH\_N1} < V_m < (V_{DD} - V_{TH\_P1})$$

At the time of \*\*, the direct current offset of such an AB(s) operational amplifier always amounts to \*\*15 mV, occasionally results in \*\*20 mV, and is valley voltage. [Equation 5]

$$V_m < V_{TH\_N1}$$

It is greatly set to \*\*40 mV at the time of \*\*.

[0011]If one active TFT LCD uses the source driving unit of thousands of channels and the difference in such big direct current offset exists between each channel, There is a fixed error which is different on the voltage which drives each pixel, for this reason, the unevenness of luminosity was formed between each point, and the problem from which the uniformity coefficient of the screen of a display becomes poor by this was formed.

[0012]In addition, the gain of such an AB(s) operational amplifier is very large, and \*\*\*\* of the node B further shown in drawing 8 is added, The inductance component contained in output resistance is caused, and this inductance component resonates with \*\*\*\* of a liquid crystal display, generates a peak gain, and vibrates easily with the shortage of a gain margin of an amplifier. In order to prevent vibration, compensation \*\*\*\* CC must be increased, but if compensation \*\*\*\* CC is increased, it becomes very low, and the frequency span of an amplifier will form the shortage of voltage regulation (Voltage skew rate), and will become impossible [ a high speed drive ] about liquid crystal display load. For this reason, by adding nMOS and the pMOS transistors N4 and P4, Turbo bias (Turbo bias), nothing, with the common mode positive feedback (Common mode positive feedback) are provided, and voltage regulation are accelerated. However, if a common mode positive feedback is added as shown in drawing 9, If it is not after waiting to cause a very big overshoot amount (Overshoot) in a wave-like front tip, and for an overshoot amount to disappear, this voltage cannot be extracted and it cannot hold to the driving electrode of LCD. For this reason, driving speed was still restricted.

[0013]The source driving unit uses A amplifier of the nMOS difference input of the half number among the arithmetic amplifier shown in JP,H09-018253,A, Provide the big current sourcing out capability as a sauce amplifier, and A amplifier of the pMOS difference input of the half number is used, The big current-sinking capability as a sink amplifier is provided, the input of a sauce amplifier is forever connected with P-DAC before long, and the input of a sink amplifier is forever connected with N-DAC.

[0014]Although the above-mentioned circuit structure provides the characteristic of low direct current offset, the sauce amplifier only merely has forever strong current sourcing out capability, and only  $\mu A$  level merely has pull low (Pull low) capability. For this reason, if dramatically lower than the backward acting voltage of the line whose backward acting voltage of a certain scanning line of one sections is one front sections, it must reduce to required voltage over very long time (that is, larger than the voltage of a common electrode). It has similarly the problem that a sink amplifier is also slow in a pull high (Pull high) emergency, For this reason, a system needs to need potential reset work (Potentialreset), namely, it is necessary to make \*\*\*\* of a liquid crystal display charge or discharge promptly for between [ every ] two striations in a



CMOS transmission gate, and to consider it as the voltage of a common electrode. For this reason, the increase of the complexity of a circuit and a control signal and a still severer thing were several microsecond hour's being required also for potential reset, and driving speed's being restricted for this reason, and getting.

[0015]In addition, the number of the half in the driver of the above-mentioned circuit structure has a big current sourcing output, and the current sourcing out capability of the half number is already nothing but  $\mu\text{A}$  level. Therefore, it is because line inversion driving cannot be performed, because the pixel of these all the lines must be simultaneously driven on the positive voltage to a common electrode, or must be simultaneously driven on the negative voltage to a common electrode at the time of line inversion driving, therefore the function and use are restricted. For this reason, the circuit of above-mentioned well-known had the necessity for an improvement.

[0016]As mentioned above, offer of the source driving amplifier of the liquid crystal display which can solve the above problem was called for.

[0017]

[Problem(s) to be Solved by the Invention]The purpose of this invention shall be to provide the source driving amplifier of a kind of liquid crystal display, and it shall solve a direct-current-offset problem effectively, and it shall be used for the system of point reversal and line reversal, and there shall be no necessity for potential reset.

[0018]The source driving amplifier of the liquid crystal display of this invention is provided with the 1st input circuit switched to a nMOS differential amplifying circuit or a bias circuit by a polar switching signal, and the 2nd input circuit switched to a bias circuit or a pMOS differential amplifying circuit by this polar switching signal. Before long, when a polar switching signal is in the 1st state, this 1st and 2nd input circuit is switched to a nMOS differential amplifying circuit and a bias circuit, respectively, and when this polar switching signal is in the 2nd state, this 1st and 2nd input circuit is switched to a bias circuit and a pMOS differential amplifying circuit, respectively. And have an output transistor pair, it is provided with a nMOS transistor and a pMOS transistor, and the output of the 1st output circuit switched to the nMOS differential amplifying circuit drives the pMOS transistor of this output transistor pair, It is considered as bias voltage by the current which it is considered as the amplified output level of sauce out, and this nMOS transistor provides, It is considered as bias voltage with the current which the output of the 2nd output circuit of a pMOS differential amplifying circuit drives the nMOS transistor of this output transistor pair, and is used as the amplified output level of a sink, and a pMOS transistor provides.

[0019]The design of this invention is new, and industrial use is provided and it has the function increased certainly.

[0020]

[Means for Solving the Problem]The 1st input circuit that an invention of Claim 1 is switched by a polar switching signal, and is made into a nMOS differential amplifying circuit or a bias circuit, It is considered as the 2nd input circuit, it is switched by this polar switching signal, and is considered as a bias circuit or a pMOS differential amplifying circuit, When a polar switching signal is in the 1st state, this 1st input circuit and the 2nd input circuit are switched, respectively, and are made into a nMOS differential amplifying circuit and a bias circuit, The 2nd input circuit of the above that this 1st input circuit and the 2nd input circuit are switched, respectively, and is made into a bias circuit and a pMOS differential amplifying circuit when this polar switching signal is in the 2nd state, It is considered as an output transistor pair and has a nMOS transistor



and a pMOS transistor, An output of the 1st output circuit which was switched and was made into a nMOS differential amplifying circuit drives a pMOS transistor of this output transistor pair, It is considered as bias voltage by current which it is considered as an amplified output level of source out, and this nMOS transistor provides, The above-mentioned output transistor pair made into bias voltage with current which an output of the 2nd output circuit of a pMOS differential amplifying circuit drives a nMOS transistor of this output transistor pair, and is used as an amplified output level of a sink, and a pMOS transistor provides, \*\*\*\*\* -- it is considered as a source driving amplifier of a liquid crystal display characterized by things. As for an invention of Claim 2, said 1st input circuit is composed by the 1st to 3rd nMOS transistor, and the 4th to 7th pMOS transistor, Source of the 1st and 2nd nMOS transistors is connected with a drain of the 3rd nMOS transistor and the 7th pMOS transistor, A drain of the 1st nMOS transistor and the 6th and 4th pMOS transistors is connected with one, Furthermore, a gate and a drain of the 5th pMOS transistor are connected mutually, Furthermore, it is connected with a gate of the 4th pMOS transistor, source of the 6th and 7th pMOS transistors and a drain of the 2nd nMOS transistor, and mutual, A gate of the 1st and 2nd nMOS transistors is connected with the 1st and 2nd differential voltage input edge, respectively, A gate of the 3rd nMOS transistor is connected with the 1st bias end, and the source is connected by system low voltage, It is considered as a source driving amplifier of the liquid crystal display according to claim 1, wherein source of the 4th pMOS and the 5th pMOS transistor was connected by voltage source and a gate of the 6th and 7th pMOS transistors is connected with this polar switching signal end. As for an invention of Claim 3, said 2nd input circuit is composed by the 1st to 3rd pMOS transistor, and the 4th to 7th nMOS transistor, Source of the 1st and 2nd pMOS transistors is connected with a drain of the 3rd pMOS transistor and the 7th nMOS transistor, A drain of the 1st pMOS transistor and the 6th and 4th nMOS transistors is connected with one, A gate and a drain of the 5th nMOS transistor are connected mutually, and further A gate of the 4th nMOS transistor, It is connected with source of the 6th and 7th nMOS transistors and a drain of the 2nd pMOS transistor, and mutual, A gate of the 1st and 2nd pMOS transistors is connected with the 1st and 2nd differential voltage input edge, respectively, A gate of the 3rd pMOS transistor is connected with the 2nd bias end, and the source is connected by voltage source, It is considered as a source driving amplifier of the liquid crystal display according to claim 2, wherein source of the 4th and 5th nMOS transistors was connected by system low voltage and a gate of the 6th and 7th nMOS transistors is connected with this polar switching signal end. In a source driving amplifier of said liquid crystal display an invention of Claim 4, Compensation \*\*\*\* is used with a switch circuit, and when this polar switching signal is in the 1st state, It is considered as a source driving amplifier of the liquid crystal display according to claim 3 provided with the above-mentioned switch circuit which switches an output of the 1st input circuit, is connected with this compensation \*\*\*\*, switches an output of the 2nd input circuit and is connected with this compensation \*\*\*\* when this polar switching signal is in the 2nd state. In a source driving amplifier of said liquid crystal display an invention of Claim 5, It is considered as a source driving amplifier of the liquid crystal display according to claim 4 being considered as an inverter, reversing a polar switching signal, and generating an inversion polarity switching signal, and inputting into a switch circuit, and presenting judgment of a state of a polar switching signal. In a source driving amplifier of said liquid crystal display an invention of Claim 6, It is considered as a source driving amplifier of the liquid crystal display according to claim 4, wherein an inverter is composed by one pMOS transistor and one nMOS transistor, reverses a polar switching signal and generates an inversion signal. In a source driving amplifier of said

liquid crystal display an invention of Claim 7, It is considered as a source driving amplifier of the liquid crystal display according to claim 4 which one pMOS transistor is connected with one nMOS transistor, and an output transistor pair is formed, and is characterized by connecting a drain of these two transistors with an end of compensation \*\*\*\*. In a source driving amplifier of said liquid crystal display an invention of Claim 8, A switch circuit is composed by one pMOS transistor and one nMOS transistor, A gate of these two transistors is connected mutually, and it is connected with an outgoing end of an inverter, a drain of these two transistors being connected mutually, and that of compensation \*\*\*\* also being obtained, and it being connected with an end, and, A gate of a drain of sauce of a pMOS transistor of this switch circuit and the 1st nMOS transistor of the 1st input circuit and a pMOS transistor of this output transistor pair is connected mutually, It is considered as a source driving amplifier of the liquid crystal display according to claim 7, wherein a gate of a drain of sauce of a nMOS transistor of this switch circuit and the 1st pMOS transistor of the 2nd input circuit and a nMOS transistor of this output transistor pair is connected mutually. An invention of Claim 9 is taken as a source driving amplifier of the liquid crystal display according to claim 8, wherein the 1st state of a polar switching signal is made into voltage source potential in a source driving amplifier of said liquid crystal display. An invention of Claim 10 is taken as a source driving amplifier of the liquid crystal display according to claim 8, wherein the 2nd state of a polar switching signal is made into system low voltage in a source driving amplifier of said liquid crystal display.

[0021]

[Embodiment of the Invention]Please refer to drawing 1 for one working example of the source driving amplifier of the liquid crystal display of this invention. It is composed by the 1st input circuit 11, the 2nd input circuit 12, the inverter 13, the switch circuit 14, compensation \*\*\*\* CC, and the output transistor pair 15. Before long, the 1st and 2nd input circuits 11 and 12 present the shape of symmetry mostly, and switch the structure of an amplifier by existing polar switching signal end PN with a driver system.

[0022]The 1st above-mentioned input circuit 11 is composed by the nMOS transistor N1, N2, N3 and the pMOS transistor P4, P5, P6, and P7. The sauce of the transistors N1 and N2 is connected with the drain of the transistors N3 and P7 before long, The drain of the transistor N1, P6, and P4 is connected with one, and the gate and drain of the transistor P5 are connected mutually, Furthermore, it is connected with the gate of the transistor P4, the transistor P6, the sauce of P7, and the drain of the transistor N2, The gate of the transistors N1 and N2 is connected with the two differential voltage input edges IP and IN, respectively, The gate of the transistor N3 is connected with bias end VB2, the sauce is connected with system low voltage VSS, the sauce of the transistors P4 and P5 is connected by the voltage source VDD, and the gate of the transistors P6 and P7 is connected with this polar switching signal end PN.

[0023]The 2nd above-mentioned input circuit 12 is composed by the pMOS transistor P1, P2, P3 and the nMOS transistor N4, N5, N6, and N7. The sauce of the transistors P1 and P2 is connected with the drain of the transistors P3 and N7 before long, The drain of the transistor P1, N6, and N4 is connected with one, and the gate and drain of the transistor N5 are connected mutually, Furthermore, it is connected with the gate of the transistor N4, the transistor N6, the sauce of N7, and the drain of the transistor P2, The gate of the transistors P1 and P2 is connected with the two differential voltage input edges IP and IN, respectively, The gate of the transistor P3 is connected with bias end VB1, the sauce is connected by the voltage source VDD, the sauce of the transistors N4 and N5 is connected with system low voltage VSS, and the gate of the transistors N6 and N7 is connected with this polar switching signal end PN.



[0024]It is formed by pMOS transistor P21 and the nMOS transistor N21, the input edge of the inverter 13 is connected with this polar switching signal end PN, and this inverter 13 is in an outgoing end, and generates an inversion signal - PN.

[0025]NMOS transistor N12 is connected with pMOS transistor P12, this output transistor pair 15 is constituted, and the drain of the two transistors P12 and N12 is connected with the end of this compensation \*\*\*\* CC before long.

[0026]This switch circuit 14 comprises pMOS transistor P8 and nMOS transistor N8. Before long, the gate of the two transistors P8 and N8 is connected mutually, and it is connected with the outgoing end of the inverter 13, the drain of the two transistors P8 and N8 being connected mutually, and that of this compensation \*\*\*\* CC also being obtained, and it being connected with an end, and, It is considered as the outgoing end OUT of an amplifier, and the connection portion of the drain of the source of the transistor P8, the transistor N1 of the 1st input circuit 11, P6, and P4 is connected mutually, And the gate of the transistor P12 of the output transistor pair 15 is connected, The drain connection portions of the source of the transistor N8, the transistor P1 of this 2nd input circuit 12, N6, and N4 are connected mutually, and the gate of the transistor N12 of the output transistor pair 15 is connected.

[0027]When outputting a voltage signal higher than a common electrode by  $PN = VDD$  by the circuit structure of the source driving amplifier of above-mentioned this invention, the transistors N7 and N6 of the 2nd input circuit 12 flow (ON), and by this, The transistor P2 does not act but the transistors N4 and N5 present a parallel connection state, The transistors P6 and P7 of the 1st input circuit 11 become off, an operation is not generated, the output - PN of the inverter 13 serve as VSS, therefore the transistor P8 of the switch circuit 14 serves as one, and N8 becomes OFF.

[0028]As [ show / the equivalent circuit of the source driving amplifier of this invention / by this / at the time of  $PN = VDD$  / in drawing 2 ], The 2nd input circuit 12 is switched to a bias circuit, and the transistor N4 and N5 by which parallel connection was carried out before long form the transistor N12 and current mirror circuit of the output transistor pair 15. The 1st input circuit 11 is switched to a nMOS differential amplifying circuit, and the gate of the transistors N1 and N2 is used as a differential input end before long, and let current \*\*\*\* which the transistors P4 and P5 form be the active load (Active load) of the transistors N1 and N2.

[0029]The output of the 1st input circuit 11 of a differential amplifying circuit drives the transistor P12 of the output transistor pair 15, It is considered as bias voltage by the current which it is considered as the amplified output level of source out (Source out), and the transistor N12 provides, therefore A amplifier whose source out capability is very large is formed, and it is considered as a source amplifier. And at this time, the switch circuit 14 switches the output of the 1st input circuit 11, is made to connect it with compensation \*\*\*\* CC, and compensates the phase of the transistor P12, and improves the stability of an amplifier.

[0030]When outputting a voltage signal lower than a common electrode by  $PN = VSS$ , the transistors P7 and P6 of the 1st input circuit 11 serve as one, and by this, The transistor N2 is made into bad harvest, and the transistors P4 and P5 present a parallel connection state, The transistors N6 and N7 of the 2nd input circuit 12 become off, and an operation is not generated, the output - PN of the inverter 13 are set to VDD, therefore the transistor N8 of the switch circuit 14 is considered as one, and P8 is made off.

[0031]As [ show / the equivalent circuit of the source driving amplifier of this invention / by this / at the time of  $PN = VSS$  / in drawing 3 ], The 1st input circuit 11 is switched to a bias circuit, and the transistor P4 and P5 by which parallel connection was carried out before long form the



transistor P12 and current mirror circuit of the output transistor pair 15. The 2nd input circuit 12 is switched to a pMOS differential amplifying circuit, and the gate of the transistors P1 and P2 is used as a differential input end before long, and let current \*\*\*\* which the transistors N4 and N5 form be the active load (Active load) of the transistors P1 and P2.

[0032]The output of the 2nd input circuit 12 of a differential amplifying circuit drives the transistor N12 of the output transistor pair 15, It is considered as bias voltage by the current which it is considered as the amplified output level of sink-in (Sink in), and the transistor P12 provides, therefore A amplifier whose sink-in capability is very large is formed, and it is considered as a sink amplifier. And at this time, the switch circuit 14 switches the output of the 2nd input circuit 12, is made to connect it with compensation \*\*\*\* CC, and compensates the phase of the transistor N12, and improves the stability of an amplifier.

[0033]According to the above circuit structure, the source driving amplifier of this invention attains the characteristic and the standard which a TFT LCD drive needs, and the direct-current-offset characteristic is as follows.

[Equation 6]

$V_{in} < V_{common}$  の時、

$$V_{OS\_L} = \frac{gm_{N4}\Delta V_{TH\_N4N5} + gm_{P1}\Delta V_{TH\_P1P2}}{gm_{P1}},$$

$V_{common} < V_{in}$  の時、

$$V_{OS\_H} = \frac{gm_{P4}\Delta V_{TH\_P4P5} + gm_{N1}\Delta V_{TH\_N1N2}}{gm_{N1}},$$

As shown in the above equation, the direct-current-offset characteristic of the amplifier of this invention is better than a well-known operational amplifier also in any of high tension from the low voltage, And it has a yield comparatively high [ whose ] which also has comparatively few factors which the variable item which affects the direct-current-offset characteristic is considered as little good design, and affect the yield at the time of production.

[0034]in addition, a gain of an amplifier of this invention needs only comparatively small compensation \*\*\*\* CC comparatively low (comparing with AB(s) -- the 1st class amplification - - few), excluding [ therefore ] an inductance component in output resistance.

[0035]A backward acting waveform of this invention is shown in drawing 4, and compared with a well-known amplifier. A waveform of this invention is quick, and an overshoot amount is very small, and a stable state is attained only by merely needing a waveform for 4 microseconds (a well-known amplifier needed 7 microseconds), and for this reason, driving speed is very high speed and can reduce a flicker phenomenon.

[0036]in addition, a sauce amplifier which each amplifier of one channel each of a source driving amplifier of this invention is switched simultaneously, and has very big current sourcing out capability -- or, It is considered as a sink amplifier which has very big sink-in capability,

therefore can be used for point inversion driving or a line inversion driving system. Any one output is made into polarity opposite to an output of a ground floor before that, and pull high capability and pull low capability are also switched simultaneously, and, thereby, the source driving amplifier of this invention does not need to perform potential reset.

[0037]

[Effect of the Invention]Putting together, also in any of the purpose, a means, and a function, this invention has the different feature from well-known art, and is considered as the 1 large breakthrough on drive circuit manufacture of a liquid crystal display. The above explanation shall relate to working example of this invention, the generic claim of this invention shall not be limited, and each ornamentation or changes of details which can be made based on this invention shall belong to the generic claim of this invention.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]It is a circuit diagram of the source driving amplifier of the liquid crystal display of this invention.

[Drawing 2]It is a representative circuit schematic at the time of  $P_N = V_{DD}$  of the source driving amplifier of the liquid crystal display of this invention.

[Drawing 3]It is a representative circuit schematic at the time of  $P_N = V_{SS}$  of the source driving amplifier of the liquid crystal display of this invention.

[Drawing 4]It is a work wave form chart of the source driving amplifier of the liquid crystal display of this invention.

[Drawing 5]It is a driving mechanism indicator chart of active TFT LCD of a well-known K line xL sequence.

[Drawing 6]It is a circuit diagram of the source driving unit of well-known active TFT LCD.

[Drawing 7]It is a driving waveform figure of well-known TFT LCD.

[Drawing 8]It is a circuit diagram of the operational amplifier used for the source driving unit of a traditional liquid crystal display.

[Drawing 9]It is a work wave form chart of well-known TFT LCD.

[Description of Notations]

11 1st input circuit 12 -- the 2nd input circuit

13 Inverter 14 switch circuit

15 Output transistor pair 901 pixel

902 Source driving unit 903 Gate driver

904 Scanning line 911 multiplexer

912 A positive polar digital-to-analog converter

913 A negative polar digital-to-analog converter

914 Operational amplifier 915 transmission gate

---

[Translation done.]

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 A 5 C 0 8 0
H 0 3 F 3/45		H 0 3 F 3/45	A 5 J 0 3 9
H 0 3 K 5/02		H 0 3 K 5/02	A 5 J 0 6 6
審査請求 未請求 請求項の数10 O L (全 12 頁)			

(21) 出願番号	特願2001-150999 (P2001-150999)	(71) 出願人	501201465 凌陽科技股▲ふん▼有限公司 台湾新竹縣科學園區創新一路19號
(22) 出願日	平成13年5月21日 (2001.5.21)	(72) 発明者	莊 達昌 台湾新竹市光明里大學路81巷2號5樓
		(74) 代理人	100082304 弁理士 竹本 松司 (外5名)

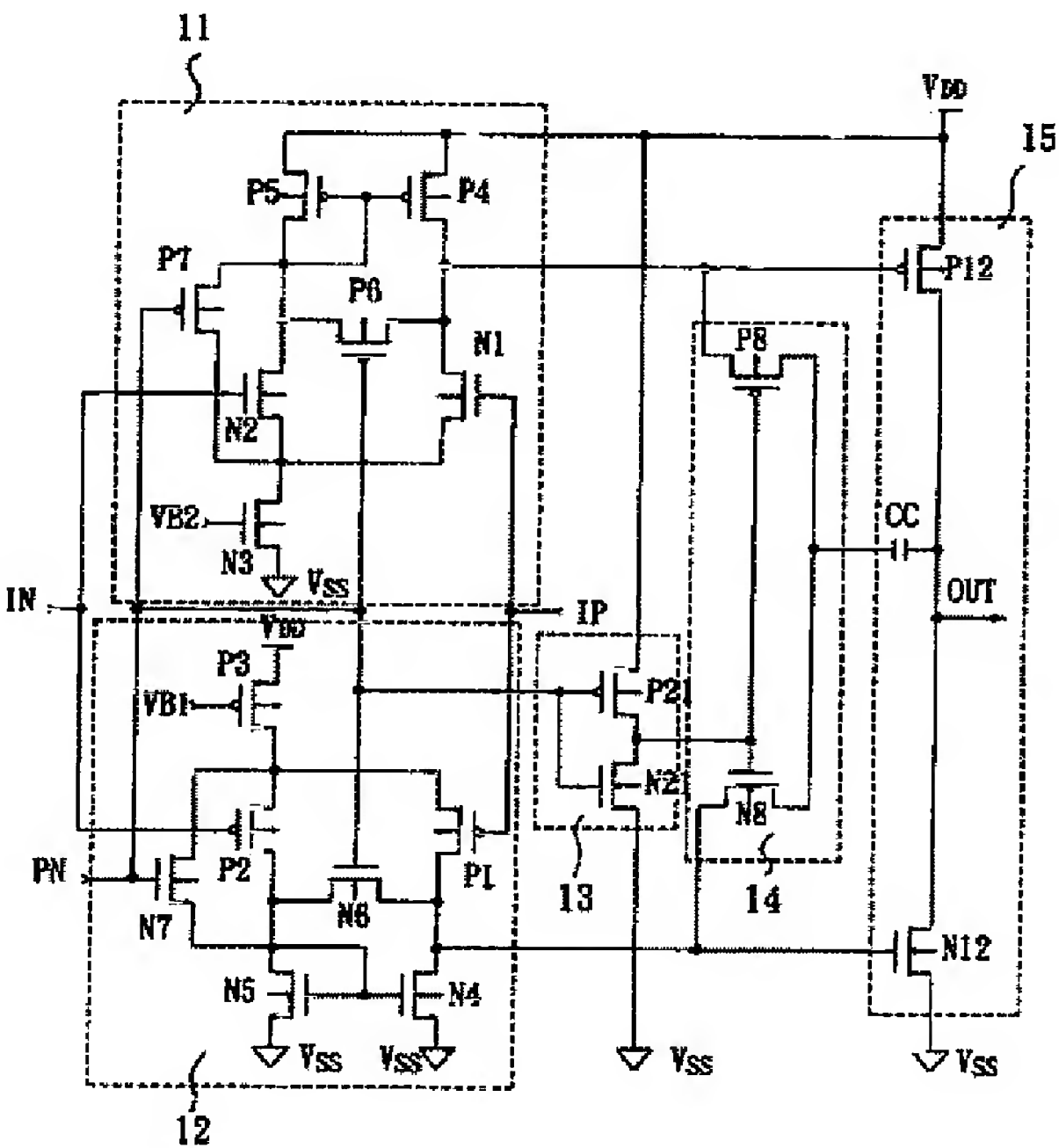
最終頁に続く

(54) 【発明の名称】 液晶ディスプレイのソース駆動増幅器

(57) 【要約】

【課題】 液晶ディスプレイのソース駆動増幅器の提供。

【解決手段】 極性切換え信号により n M O S 差動増幅回路或いはバイアス回路に切り換えられる第 1 入力回路と、該極性切換え信号によりバイアス回路或いは p M O S 差動増幅回路に切り換えられる第 2 入力回路とを具え、そのうち、 n M O S 差動増幅回路に切り換えられた第 1 出力回路の出力が出力トランジスタ対の p M O S トランジスタを駆動して、ソースの増幅出力レベルとなし、並びに出力トランジスタ対の n M O S 差動増幅回路の提供する電流をバイアス電圧とし、 p M O S 差動増幅回路の第 2 出力回路の出力により該出力トランジスタ対の n M O S トランジスタを駆動し、ドレインの増幅出力レベルとなし、並びに出力トランジスタ対の p M O S トランジスタの提供する電流をバイアス電圧となす。これにより、有効に直流オフセット問題を解決し、並びに点反転及び線反転のシステムに使用可能で、且つ電位リセットの必要がないものとしている。





【特許請求の範囲】

【請求項1】 極性切換え信号により切り換えられてnMOS差動増幅回路或いはバイアス回路とされる第1入力回路と、

第2入力回路とされ、該極性切換え信号により切り換えられてバイアス回路或いはpMOS差動増幅回路とされ、極性切換え信号が第1状態の時、該第1入力回路と第2入力回路がそれぞれ切り換えられてnMOS差動増幅回路とバイアス回路とされ、該極性切換え信号が第2状態の時、該第1入力回路と第2入力回路がそれぞれ切り換えられてバイアス回路とpMOS差動増幅回路とされる、上記第2入力回路と、

出力トランジスタ対とされ、nMOSトランジスタとpMOSトランジスタを具え、切り換えられてnMOS差動増幅回路とされた第1出力回路の出力が該出力トランジスタ対のpMOSトランジスタを駆動し、ソースアウトの増幅出力レベルとされ、並びに該nMOSトランジスタの提供する電流を以てバイアス電圧とされ、pMOS差動増幅回路の第2出力回路の出力が該出力トランジスタ対のnMOSトランジスタを駆動し、シンクの増幅出力レベルとされ、並びにpMOSトランジスタの提供する電流でバイアス電圧とされる、上記出力トランジスタ対と、

を具えたことを特徴とする、液晶ディスプレイのソース駆動増幅器。

【請求項2】 前記第1入力回路が第1から第3nMOSトランジスタと第4から第7pMOSトランジスタで組成され、第1及び第2nMOSトランジスタのソースが第3nMOSトランジスタ及び第7pMOSトランジスタのドレインに接続され、第1nMOSトランジスタ、第6及び第4pMOSトランジスタのドレインが一つに接続され、さらに第5pMOSトランジスタのゲートとドレインが相互に接続され、さらに第4pMOSトランジスタのゲート、第6及び第7pMOSトランジスタのソース及び第2nMOSトランジスタのドレインと相互に接続され、第1及び第2nMOSトランジスタのゲートがそれぞれ第1及び第2差動電圧入力端に接続され、第3nMOSトランジスタのゲートが第1バイアス端に接続され、そのソースがシステム低電位に接続され、第4pMOS及び第5pMOSトランジスタのソースが電圧源に接続され、第6及び第7pMOSトランジスタのゲートが該極性切換え信号端に接続されたことを特徴とする、請求項1に記載の液晶ディスプレイのソース駆動増幅器。

【請求項3】 前記第2入力回路が第1から第3pMOSトランジスタと第4から第7nMOSトランジスタで組成され、第1及び第2pMOSトランジスタのソースが第3pMOSトランジスタ及び第7nMOSトランジスタのドレインに接続され、第1pMOSトランジスタ、第6及び第4nMOSトランジスタのドレインが一

つに接続され、第5nMOSトランジスタのゲートとドレインが相互に接続され、さらに第4nMOSトランジスタのゲート、第6及び第7nMOSトランジスタのソース及び第2pMOSトランジスタのドレインと相互に接続され、第1及び第2pMOSトランジスタのゲートがそれぞれ第1及び第2差動電圧入力端に接続され、第3pMOSトランジスタのゲートが第2バイアス端に接続され、そのソースが電圧源に接続され、第4及び第5nMOSトランジスタのソースがシステム低電位に接続され、第6及び第7nMOSトランジスタのゲートが該極性切換え信号端に接続されたことを特徴とする、請求項2に記載の液晶ディスプレイのソース駆動増幅器。

【請求項4】 前記液晶ディスプレイのソース駆動増幅器において、補償電容と、

切換え回路とされ、該極性切換え信号が第1状態の時に、第1入力回路の出力を切り換えて該補償電容に接続し、該極性切換え信号が第2状態の時、第2入力回路の出力を切り換えて該補償電容に接続する、上記切換え回路と、

を具えたことを特徴とする、請求項3に記載の液晶ディスプレイのソース駆動増幅器。

【請求項5】 前記液晶ディスプレイのソース駆動増幅器において、

インバータとされ、極性切換え信号を反転して反転極性切換え信号を発生し、並びに切換え回路に入力して極性切換え信号の状態の判断に供することを特徴とする、請求項4に記載の液晶ディスプレイのソース駆動増幅器。

【請求項6】 前記液晶ディスプレイのソース駆動増幅器において、

インバータが一つのpMOSトランジスタと一つのnMOSトランジスタで組成されて、極性切換え信号を反転して反転信号を発生することを特徴とする、請求項4に記載の液晶ディスプレイのソース駆動増幅器。

【請求項7】 前記液晶ディスプレイのソース駆動増幅器において、

出力トランジスタ対が一つのpMOSトランジスタが一つのnMOSトランジスタに接続されて形成され、これら二つのトランジスタのドレインが補償電容の一端に接続されたことを特徴とする、請求項4に記載の液晶ディスプレイのソース駆動増幅器。

【請求項8】 前記液晶ディスプレイのソース駆動増幅器において、

切換え回路が一つのpMOSトランジスタと一つのnMOSトランジスタで組成され、これら二つのトランジスタのゲートが相互に接続され且つインバータの出力端に接続され、これら二つのトランジスタのドレインが相互に接続され並びに補償電容のもう一端に接続され、該切換え回路のpMOSトランジスタのソースと第1入力回路の第1nMOSトランジスタのドレイン及び該出力ト

ランジスタ対のpMOSトランジスタのゲートが相互に接続され、該切換え回路のnMOSトランジスタのソースと第2入力回路の第1pMOSトランジスタのドレイン及び該出力トランジスタ対のnMOSトランジスタのゲートが相互に接続されたことを特徴とする、請求項7に記載の液晶ディスプレイのソース駆動増幅器。

【請求項9】 前記液晶ディスプレイのソース駆動増幅器において、極性切換え信号の第1状態が電圧源電位とされたことを特徴とする、請求項8に記載の液晶ディスプレイのソース駆動増幅器。

【請求項10】 前記液晶ディスプレイのソース駆動増幅器において、極性切換え信号の第2状態がシステム低電位とされたことを特徴とする、請求項8に記載の液晶ディスプレイのソース駆動増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一種の液晶ディスプレイ駆動回路の技術領域に係り、特に、例えばTFT-LCDに使用可能な駆動回路のソース駆動増幅器に関する。

【0002】

【従来の技術】TFT-LCDは一種のアクティブマトリクス形態のディスプレイであり、マトリクスを構成する各一つの単位画素（ドット或いはピクセル）がいずれも一つの駆動電極と一つのその他の画素と共用の共同電極（Common）を有する。LCDは交流（AC）信号により駆動され、即ち第1個のフレームを表示する時、駆動電極に加えられる電圧は共同電極に対して正の電圧でなければならず、次の一つのフレームの時、駆動電極に加えられる電圧は共同電極に対して負の電圧でなければならない。

【0003】マトリクスと共同電極規格の違いと映像品質を考慮して、最も常用される駆動方式には2種類があり、その一つは点反転（Dot inversion）駆動とされ、もう一種類は線反転（Row inversion）駆動とされる。そのうち、点反転駆動のシステム中、第1個のフレームの奇数線の偶数点を共同電極に対する正の電圧で駆動すると、奇数線の偶数点は共同電極に対する負の電圧で駆動し、第1個のフレームの偶数線の奇数点を共同電極に対する負の電圧で駆動すると、偶数点は共同電極に対する正の電圧で駆動する。その後、第2個のフレームの奇数線の奇数点を共同電極に対する負の電圧で駆動し、該線の偶数点を共同電極に対する正の電圧で駆動すると同時に、第2個のフレームの偶数線の奇数点を共同電極に対する正の電圧で駆動し、偶数点を共同電極に対する負の電圧で駆動する。

【0004】線反転のシステム中、第1個のフレームの奇数線の全ての点をもし共同電極に対する正の電圧で駆

動すれば、偶数線の全ての点は共同電極に対する負の電圧で駆動し、その後、第2個のフレームの奇数線の全ての点を共同電極に対する負の電圧で駆動し、偶数線の全ての点を共同電極に対する正の電圧で駆動する。

【0005】図5はK行×L列（K columns by L rows）のアクティブTFT-LCDの駆動構造を示す。図示されるように、水平方向にもしK個の画素901が必要であれば、即ちK個のチャンネルのソース駆動ユニット902（Source Drive Unit；SDU）で駆動せねばならない。垂直方向は即ちゲートドライバ903により順に各走査線904（Line）の各画素901の電圧駆動モードとされ並びに画素901の駆動電極上に保持する。

【0006】図6はさらに一つの、アクティブTFT-LCD用のソース駆動ユニット902を示し、それは極性切換え信号PN（Polarity Switch）の制御するマルチプレクサ911（MUX）を具え、正の極性のデジタル・アナログ変換器912（positive DAC；P-DAC）或いは負の極性のデジタル・アナログ変換器913（negative DAC；N-DAC）の出力を演算増幅器914で構成した電圧フォロワに提供し、駆動能力を増幅して駆動出力DRVOを発生し、さらに出力許可（Output Enable；OE）信号の制御する相補式伝送ゲート915（CMOS transmission gate）が駆動電圧VLCDをTFT-LCDのパネルの駆動行のライン上に出力する。その作業波形は図7に示されるとおりであり、そのうち、P-DAC912及びN-DAC913が入力デジタルデータ制御を受けて対応輝度が必要とする駆動電圧を発生し、P-DAC912及びN-DAC913の出力がほぼ相似とされるがただし共同電極電圧に対称で、これによりAC駆動の要求に符合する。

【0007】節電のために、該P-DAC912及びN-DAC913の出力電圧範囲は通常、VSS+0.1VからVDD-0.1Vとされる。これにより、ソース駆動ユニット902内で用いる演算増幅器914はフルレールツーレール（Full rail-to-rail）の能力を有していなければならない。且つ、出力が共同電極の電圧より高い時には、極めて大きな電流ソースアウト能力（Current source out）能力を有する必要がある、これによりTFT-LCDの負荷電容（パネル上の配線雑散電容）を快速充電して高電位となす。このほか、出力が共同電極の電圧より低い時は、極めて大きな電流シンク（current sink）能力を必要とし、これによりTFT-LCDの負荷電容上のもとの高電位を速やかに放電して駆動する低電位となす。

【0008】この要求に符合させるため、伝統的なソース駆動ユニットが用いる演算増幅器は図8に示されるよ

うに、一種のフルレールツーレールのAB類演算増幅器とされる（米国特許US6,100,762参照）。それは一つのnMOS対（N1, N2）で組成された差動増幅器と一つのpMOS対（P1, P2）で組成された差動増幅器を並列に接続されて入力する。両者の出力電流は電流鏡（N5, N6, N7, N8, N9, N10, N11, N12, N13, N14とP10, P11, P12）で組成されたAB類増幅器を演算増幅器として駆動して出力され、極めて大きな電流ソースとシンク能力を獲得する。

【0009】前述の周知の演算増幅器の欠点は、その直流オフセット（DC offset）が極めて大きいことである。その原因は、CMOS工程内で各MOSのスレショルド電圧 $V_{TH}$ の差異が常に±数mVから±数十mVに達することにあり、このような差異が直流オフセット発生 の 主要な成因となるのである。このようなフルレールツーレールのAB類演算増幅器のスレショルド電圧 $V_{TH}$ の差異により引き起こされる直流オフセットは特に嚴重であり、その分析は以下になる。

【数1】

$$\begin{aligned}
 & V_{TH\_N1} < V_{TH\_N2} \text{ の時、} \\
 & V_{OS\_L} = \frac{g_{m_{P1}} \Delta V_{TH\_P1P2} + g_{m_{N3}} \Delta V_{TH\_N3N4} + g_{m_{N5}} \Delta V_{TH\_N5N6} + g_{m_{P3\_L}} \Delta V_{TH\_P3P6}}{g_{m_{P1}}} \\
 & V_{TH\_N1} < V_{TH\_N2} < (V_{DD} - V_{TH\_P1}) \text{ の時、} \\
 & V_{OS\_M} = \frac{g_{m_{P1}} \Delta V_{TH\_P1P2} + g_{m_{N1}} \Delta V_{TH\_N1N2} + g_{m_{N3}} \Delta V_{TH\_N3N4} + g_{m_{P3\_M}} \Delta V_{TH\_P3P6}}{g_{m_{P1}} + g_{m_{N1}}} \\
 & (V_{DD} - V_{TH\_P1}) < V_{TH\_N2} \text{ の時、} \\
 & V_{OS\_H} = \frac{g_{m_{N1}} \Delta V_{TH\_N1N2} + g_{m_{P3\_H}} \Delta V_{TH\_P3P6}}{g_{m_{N1}}}
 \end{aligned}$$

そのうち、 $g_{m_{Pi}}$ ,  $g_{m_{Nj}}$  はpMOSトランジスタ（ $P_i$ ,  $i=1, 2, 3, \dots$ ）及びnMOSトランジスタ（ $N_j$ ,  $j=1, 2, 3, \dots$ ）の変換電導（Transfer conductance）を代表し、

【数2】

$$g_{m_{P3\_H}}, g_{m_{P3\_M}}, g_{m_{P3\_L}}$$

は導通電流の違いにより相互に同じでなく、

【数3】

$$\Delta V_{TH\_N1N2}$$

はnMOS差動対（Differential pair

r）N1及びN2のスレショルド電圧差異を代表し、その他の差動対或いは電流鏡対（Current mirror pair）もまた同じ符合で代表される。

【0010】実務上、点電圧段

【数4】



$$V_{TH\_N1} < V_m < (V_{DD} - V_{TH\_P1})$$

の時、このようなAB類演算増幅器の直流オフセットは常に±15mVに達し、時には±20mVに至り、低点電圧

【数5】

$$V_m < V_{TH\_N1}$$

の時、甚だしくは±40mVになる。

【0011】一つのアクティブTFT-LCDは数千チャネルのソース駆動ユニットを使用し、もし各チャネル間にこのような大きな直流オフセットの差異が存在すると、各画素を駆動する電圧に異なる固定誤差があり、このため各点間に輝度の不均一が形成され、これにより表示の画面の均一度が不良となる問題が形成された。

【0012】このほか、このようなAB類演算増幅器のゲインは極めて大きく、さらに図8に示される節点Bの雑散電容が加わり、出力抵抗中に含まれるインダクタンス成分を引き起こし、このインダクタンス成分が液晶ディスプレイの電容と共振し、ピークゲインを発生し、増幅器のゲインマージン不足により容易に振動する。振動を防止するためには補償電容CCを増大しなければならないが、補償電容CCを増大すると、増幅器の周波数幅が極めて低くなり、電圧変動率(Voltage skew rate)不足を形成し、液晶ディスプレイ負荷を高速駆動不能となる。このためnMOS及びpMOSトランジスタN4及びP4を加えることにより、ターボバイアス(Turbo bias)となし、以てコモンモードポジティブフィードバック(Common mode positive feedback)を提供して電圧変動率を加速する。しかし、図9に示されるように、コモンモードポジティブフィードバックを加えると、波形の前縁に極めて大きなオーバーシュート量(overshoot)が引き起こされ、オーバーシュート量が消失するのを待ってからでなければ、この電圧を抽出し並びにLCDの駆動電極に保持することができない。このため依然として駆動速度を制限した。

【0013】特開平09-018253号に示される演算増幅回路中、そのソース駆動ユニットは半分の個数のnMOS差動入力A類増幅器を使用し、ソース増幅器として大きな電流ソースアウト能力を提供し、及び半分の個数のpMOS差動入力A類増幅器を使用し、シンク増幅器として大きな電流シンク能力を提供し、そのうちソース増幅器の入力は永遠にP-DACに接続し、シンク増幅器の入力は永遠にN-DACに接続する。

【0014】前述の回路構造は低直流オフセットの特性を提供するが、そのソース増幅器は永遠にただ電流ソースアウト能力が強いだけで、プルロー(Pull lo

w)能力はただμAレベルしか有さない。このため、もしある1条の走査線の出力駆動電圧が前の1条の線の出力駆動電圧より非常に低いと、非常に長い時間をかけて必要な電圧まで引き下げなければならない(即ち共同電極の電圧より大きい)。同様にシンク増幅器もプルハイ(Pull high)非常に緩慢である問題を有し、このためシステムが電位リセット作業を必要とし(Potential reset)、即ち各2条線間ごとにCMOS伝送ゲートで速やかに液晶ディスプレイの負荷電容を充電或いは放電させて共同電極の電圧とする必要がある。このため回路と制御信号の複雑度が増し、更に嚴重なことは、電位リセットにも数μs時間が必要で、このため駆動速度が制限されうることであった。

【0015】このほか、前述の回路構造のドライバ中の半分の個数は、大きな電流ソース出力を有し、もう半分の個数の電流ソースアウト能力はただμAレベルにすぎない。ゆえに、線反転駆動を行えず、なぜなら、線反転駆動時には、全ての該線の画素は同時に共同電極に対する正の電圧で駆動するか或いは同時に共同電極に対する負の電圧で駆動しなければならず、ゆえにその機能と用途が制限されるためである。このため前述の周知の回路は改善の必要があった。

【0016】以上から、以上の問題を解決できる液晶ディスプレイのソース駆動増幅器の提供が求められていた。

【0017】

【発明が解決しようとする課題】本発明の目的は、一種の液晶ディスプレイのソース駆動増幅器を提供することにある、それは、有効に直流オフセット問題を解決し、並びに点反転及び線反転のシステムに用いられて、電位リセットの必要がないものとする。

【0018】本発明の液晶ディスプレイのソース駆動増幅器は、極性切換え信号によりnMOS差動増幅回路或いはバイアス回路に切り換えられる第1入力回路と、該極性切換え信号によりバイアス回路或いはpMOS差動増幅回路に切り換えられる第2入力回路とを具えている。そのうち、極性切換え信号が第1状態の時、該第1、第2入力回路はそれぞれnMOS差動増幅回路とバイアス回路に切り換えられ、該極性切換え信号が第2状態の時、該第1、第2入力回路はそれぞれバイアス回路とpMOS差動増幅回路に切り換えられる。及び、出力トランジスタ対を具え、それはnMOSトランジスタとpMOSトランジスタを具え、nMOS差動増幅回路に切り換えられた第1出力回路の出力が該出力トランジスタ対のpMOSトランジスタを駆動して、ソースアウトの増幅出力レベルとされ、並びに該nMOSトランジスタの提供する電流を以てバイアス電圧とされ、pMOS

差動増幅回路の第2出力回路の出力が該出力トランジスタ対のnMOSトランジスタを駆動し、シンクの増幅出力レベルとされ、並びにpMOSトランジスタの提供する電流でバイアス電圧とされる。

【0019】本発明の設計は新規で、産業上の利用を提供し、且つ確実に増進された機能を有する。

【0020】

【課題を解決するための手段】請求項1の発明は、極性切換え信号により切り換えられてnMOS差動増幅回路或いはバイアス回路とされる第1入力回路と、第2入力回路とされ、該極性切換え信号により切り換えられてバイアス回路或いはpMOS差動増幅回路とされ、極性切換え信号が第1状態の時、該第1入力回路と第2入力回路がそれぞれ切り換えられてnMOS差動増幅回路とバイアス回路とされ、該極性切換え信号が第2状態の時、該第1入力回路と第2入力回路がそれぞれ切り換えられてバイアス回路とpMOS差動増幅回路とされる、上記第2入力回路と、出力トランジスタ対とされ、nMOSトランジスタとpMOSトランジスタを具え、切り換えられてnMOS差動増幅回路とされた第1出力回路の出力が該出力トランジスタ対のpMOSトランジスタを駆動し、ソースアウトの増幅出力レベルとされ、並びに該nMOSトランジスタの提供する電流を以てバイアス電圧とされ、pMOS差動増幅回路の第2出力回路の出力が該出力トランジスタ対のnMOSトランジスタを駆動し、シンクの増幅出力レベルとされ、並びにpMOSトランジスタの提供する電流でバイアス電圧とされる、上記出力トランジスタ対と、を具えたことを特徴とする、液晶ディスプレイのソース駆動増幅器としている。請求項2の発明は、前記第1入力回路が第1から第3nMOSトランジスタと第4から第7pMOSトランジスタで組成され、第1及び第2nMOSトランジスタのソースが第3nMOSトランジスタ及び第7pMOSトランジスタのドレインに接続され、第1nMOSトランジスタ、第6及び第4pMOSトランジスタのドレインが一つに接続され、さらに第5pMOSトランジスタのゲートとドレインが相互に接続され、さらに第4pMOSトランジスタのゲート、第6及び第7pMOSトランジスタのソース及び第2nMOSトランジスタのドレインと相互に接続され、第1及び第2nMOSトランジスタのゲートがそれぞれ第1及び第2差動電圧入力端に接続され、第3nMOSトランジスタのゲートが第1バイアス端に接続され、そのソースがシステム低電位に接続され、第4pMOS及び第5pMOSトランジスタのソースが電圧源に接続され、第6及び第7pMOSトランジスタのゲートが該極性切換え信号端に接続されたことを特徴とする、請求項1に記載の液晶ディスプレイのソース駆動増幅器としている。請求項3の発明は、前記第2入力回路が第1から第3pMOSトランジスタと第4から第7nMOSトランジスタで組成され、第1及び第2

pMOSトランジスタのソースが第3pMOSトランジスタ及び第7nMOSトランジスタのドレインに接続され、第1pMOSトランジスタ、第6及び第4nMOSトランジスタのドレインが一つに接続され、第5nMOSトランジスタのゲートとドレインが相互に接続され、さらに第4nMOSトランジスタのゲート、第6及び第7nMOSトランジスタのソース及び第2pMOSトランジスタのドレインと相互に接続され、第1及び第2pMOSトランジスタのゲートがそれぞれ第1及び第2差動電圧入力端に接続され、第3pMOSトランジスタのゲートが第2バイアス端に接続され、そのソースが電圧源に接続され、第4及び第5nMOSトランジスタのソースがシステム低電位に接続され、第6及び第7nMOSトランジスタのゲートが該極性切換え信号端に接続されたことを特徴とする、請求項2に記載の液晶ディスプレイのソース駆動増幅器としている。請求項4の発明は、前記液晶ディスプレイのソース駆動増幅器において、補償電容と、切換え回路とされ、該極性切換え信号が第1状態の時に、第1入力回路の出力を切り換えて該補償電容に接続し、該極性切換え信号が第2状態の時、第2入力回路の出力を切り換えて該補償電容に接続する、上記切換え回路と、を具えたことを特徴とする、請求項3に記載の液晶ディスプレイのソース駆動増幅器としている。請求項5の発明は、前記液晶ディスプレイのソース駆動増幅器において、インバータとされ、極性切換え信号を反転して反転極性切換え信号を発生し、並びに切換え回路に入力して極性切換え信号の状態の判断に供することを特徴とする、請求項4に記載の液晶ディスプレイのソース駆動増幅器としている。請求項6の発明は、前記液晶ディスプレイのソース駆動増幅器において、インバータが一つのpMOSトランジスタと一つのnMOSトランジスタで組成されて、極性切換え信号を反転して反転信号を発生することを特徴とする、請求項4に記載の液晶ディスプレイのソース駆動増幅器としている。請求項7の発明は、前記液晶ディスプレイのソース駆動増幅器において、出力トランジスタ対が一つのpMOSトランジスタが一つのnMOSトランジスタに接続されて形成され、これら二つのトランジスタのドレインが補償電容の一端に接続されたことを特徴とする、請求項4に記載の液晶ディスプレイのソース駆動増幅器としている。請求項8の発明は、前記液晶ディスプレイのソース駆動増幅器において、切換え回路が一つのpMOSトランジスタと一つのnMOSトランジスタで組成され、これら二つのトランジスタのゲートが相互に接続され且つインバータの出力端に接続され、これら二つのトランジスタのドレインが相互に接続され並びに補償電容のもう一端に接続され、該切換え回路のpMOSトランジスタのソースと第1入力回路の第1nMOSトランジスタのドレイン及び該出力トランジスタ対のpMOSトランジスタのゲートが相互に接続され、該切換え回路の



nMOSトランジスタのソースと第2入力回路の第1 pMOSトランジスタのドレイン及び該出力トランジスタ対のnMOSトランジスタのゲートが相互に接続されたことを特徴とする、請求項7に記載の液晶ディスプレイのソース駆動増幅器としている。請求項9の発明は、前記液晶ディスプレイのソース駆動増幅器において、極性切換え信号の第1状態が電圧源電位とされたことを特徴とする、請求項8に記載の液晶ディスプレイのソース駆動増幅器としている。請求項10の発明は、前記液晶ディスプレイのソース駆動増幅器において、極性切換え信号の第2状態がシステム低電位とされたことを特徴とする、請求項8に記載の液晶ディスプレイのソース駆動増幅器としている。

【0021】

【発明の実施の形態】本発明の液晶ディスプレイのソース駆動増幅器の一つの実施例について、図1を参照されたい。それは、第1入力回路11、第2入力回路12、インバータ13、切換え回路14、補償電容CC、及び出力トランジスタ対15で構成されている。そのうち第1及び第2入力回路11及び12はほぼ対称状を呈し、並びに駆動システムにより既存の極性切換え信号端PNにより増幅器の構造を切り換える。

【0022】前述の第1入力回路11はnMOSトランジスタN1、N2、N3及びpMOSトランジスタP4、P5、P6、P7で構成されている。そのうち、トランジスタN1及びN2のソースはトランジスタN3及びP7のドレインに接続され、トランジスタN1、P6及びP4のドレインは一つに接続され、トランジスタP5のゲートとドレインが相互に接続され、さらにトランジスタP4のゲート、トランジスタP6、P7のソース及びトランジスタN2のドレインと接続され、トランジスタN1とN2のゲートがそれぞれ二つの差動電圧入力端IP及びINに接続され、トランジスタN3のゲートがバイアス端VB2に接続され、そのソースがシステム低電位VSSに接続され、トランジスタP4とP5のソースが電圧源VDDに接続され、トランジスタP6とP7のゲートが該極性切換え信号端PNに接続されている。

【0023】前述の第2入力回路12はpMOSトランジスタP1、P2、P3及びnMOSトランジスタN4、N5、N6、N7で構成されている。そのうち、トランジスタP1とP2のソースはトランジスタP3とN7のドレインに接続され、トランジスタP1、N6及びN4のドレインは一つに接続され、トランジスタN5のゲートとドレインが相互に接続され、さらにトランジスタN4のゲート、トランジスタN6、N7のソース及びトランジスタP2のドレインと接続され、トランジスタP1とP2のゲートがそれぞれ二つの差動電圧入力端IP及びINに接続され、トランジスタP3のゲートがバイアス端VB1に接続され、そのソースが電圧源VDD

に接続され、トランジスタN4とN5のソースがシステム低電位VSSに接続され、トランジスタN6とN7のゲートが該極性切換え信号端PNに接続されている。

【0024】該インバータ13はpMOSトランジスタP21とnMOSトランジスタN21で構成され、インバータ13の入力端が該極性切換え信号端PNに接続されて、出力端にあって反転信号〜PNを発生する。

【0025】該出力トランジスタ対15はpMOSトランジスタP12にnMOSトランジスタN12が接続されて構成され、そのうち、二つのトランジスタP12とN12のドレインは該補償電容CCの一端に接続されている。

【0026】該切換え回路14はpMOSトランジスタP8とnMOSトランジスタN8で構成される。そのうち、二つのトランジスタP8とN8のゲートが相互に接続され且つインバータ13の出力端に接続され、二つのトランジスタP8及びN8のドレインが相互に接続され並びに該補償電容CCのもう一端に接続されて、増幅器の出力端OUTとされ、トランジスタP8のソースと第1入力回路11のトランジスタN1、P6及びP4のドレインの接続部分が相互に接続され、並びに出力トランジスタ対15のトランジスタP12のゲートに接続され、トランジスタN8のソースと該第2入力回路12のトランジスタP1、N6及びN4のドレイン接続部分が相互に接続され、並びに出力トランジスタ対15のトランジスタN12のゲートに接続されている。

【0027】前述の本発明のソース駆動増幅器の回路構造を以て、PN=VDDで共同電極より高い電圧信号を出力する時、第2入力回路12のトランジスタN7とN6が導通(ON)し、これにより、トランジスタP2が作用せず、トランジスタN4とN5が並列接続状態を呈し、第1入力回路11のトランジスタP6とP7がオフとなり作用を発生せず、インバータ13の出力〜PNがVSSとなり、ゆえに切換え回路14のトランジスタP8がオンとなりN8がオフとなる。

【0028】これによりPN=VDDの時、本発明のソース駆動増幅器の等価回路は図2中に示されるようであり、第2入力回路12はバイアス回路に切り換えられ、そのうち並列接続されたトランジスタN4、N5は出力トランジスタ対15のトランジスタN12と電流鏡回路を形成する。第1入力回路11はnMOS差動増幅回路に切り換えられ、そのうちトランジスタN1とN2のゲートは差動入力端とされ、トランジスタP4とP5が形成する電流鏡対がトランジスタN1とN2のアクティブ負荷(Active load)とされる。

【0029】差動増幅回路の第1入力回路11の出力は出力トランジスタ対15のトランジスタP12を駆動し、ソースアウト(Source out)の増幅出力レベルとされ、並びにトランジスタN12の提供する電流を以てバイアス電圧とされ、ゆえにソースアウト能力



が極めて大きいA類増幅器が形成されてソース増幅器とされる。且つこの時、切換え回路14は第1入力回路11の出力を切り換えて補償電容CCに接続させ、トランジスタP12の位相を補償し並びに増幅器の安定性を向上する。

【0030】PN=VSSで共同電極より低い電圧信号を出力する時、第1入力回路11のトランジスタP7とP6はオンとなり、これにより、トランジスタN2は不作用とされ、トランジスタP4とP5は並列接続状態を呈し、第2入力回路12のトランジスタN6とN7がオフとなり作用を発生せず、またインバータ13の出力〜PNはVDDとされ、ゆえに切換え回路14のトランジスタN8がオンとされてP8がオフとされる。

【0031】これによりPN=VSSの時、本発明のソース駆動増幅器の等価回路は図3中に示されるようであり、第1入力回路11はバイアス回路に切り換えられ、そのうち並列接続されたトランジスタP4、P5は出力トランジスタ対15のトランジスタP12と電流鏡回路を形成する。第2入力回路12はpMOS差動増幅回路

$V_{in} < V_{common}$  の時、

$$V_{os\_L} = \frac{gm_{N4} \Delta V_{TH\_N4N5} + gm_{P1} \Delta V_{TH\_P1P2}}{gm_{P1}},$$

$V_{common} < V_{in}$  の時、

$$V_{os\_H} = \frac{gm_{P4} \Delta V_{TH\_P4P5} + gm_{N1} \Delta V_{TH\_N1N2}}{gm_{N1}},$$

以上の方程式から分かるように、本発明の増幅器の直流オフセット特性は低電圧から高電圧のいずれにおいても周知の演算増幅器よりも良好で、且つ直流オフセット特性に影響を与える変数項目が少なく良好な設計とされ、また生産時に歩留りに影響を与える因子も比較的少なく、ゆえに比較的高い歩留りを有する。

【0034】このほか、本発明の増幅器のゲインは比較的低く（AB類に較べて1級増幅少ない）、且つ出力抵抗中インダクタンス成分を含まず、ゆえに比較的小さい補償電容CCだけを必要とする。

【0035】図4に示されるのは本発明の出力駆動波形であり、周知の増幅器と較べると、本発明の波形は速く、オーバーシュート量が極めて小さく、且つただ4μs波形を必要とするだけで安定状態を達成し（周知の増幅器は7μsを必要とした）、このため駆動速度は非常に快速で、フリッカー現象を減らすことができる。

【0036】このほか、本発明のソース駆動増幅器の各

に切り換えられ、そのうちトランジスタP1とP2のゲートは差動入力端とされ、トランジスタN4とN5が形成する電流鏡対がトランジスタP1とP2のアクティブ負荷（Active load）とされる。

【0032】差動増幅回路の第2入力回路12の出力は出力トランジスタ対15のトランジスタN12を駆動し、シンクイン（Sink in）の増幅出力レベルとされ、並びにトランジスタP12の提供する電流を以てバイアス電圧とされ、ゆえにシンクイン能力が極めて大きいA類増幅器が形成されてシンク増幅器とされる。且つこの時、切換え回路14は第2入力回路12の出力を切り換えて補償電容CCに接続させ、トランジスタN12の位相を補償し並びに増幅器の安定性を向上する。

【0033】以上の回路構造により、本発明のソース駆動増幅器はTFT-LCD駆動が必要とする特性と規格を達成し、その直流オフセット特性は以下のとおりである。

【数6】

一つのチャネルの増幅器はいずれも同時に切り換えられて極めて大きな電流ソースアウト能力を有するソース増幅器、或いは、極めて大きなシンクイン能力を有するシンク増幅器とされ、ゆえに点反転駆動或いは線反転駆動システムに使用できる。また本発明のソース駆動増幅器はどの一回の出力でもその前の一階の出力と反対の極性とされ、且つプルハイ能力とプルロー能力も同時に切り換えられ、これにより電位リセットを行う必要がない。

【0037】

【発明の効果】総合すると、本発明は目的、手段、機能のいずれにおいても、周知の技術とは異なった特徴を有し、液晶ディスプレイの駆動回路製造上の一大突破とされる。なお、以上の説明は本発明の実施例に係るものであって本発明の請求範囲を限定するものではなく、本発明に基づきなしうる細部の修飾或いは改変は、いずれも本発明の請求範囲に属するものとする。

【図面の簡単な説明】

【図1】本発明の液晶ディスプレイのソース駆動増幅器の回路図である。

【図2】本発明の液晶ディスプレイのソース駆動増幅器のPN=VDD時の等価回路図である。

【図3】本発明の液晶ディスプレイのソース駆動増幅器のPN=VSS時の等価回路図である。

【図4】本発明の液晶ディスプレイのソース駆動増幅器の作業波形図である。

【図5】周知のK行×L列のアクティブTFT LCDの駆動構造表示図である。

【図6】周知のアクティブTFT LCDのソース駆動ユニットの回路図である。

【図7】周知のTFT LCDの駆動波形図である。

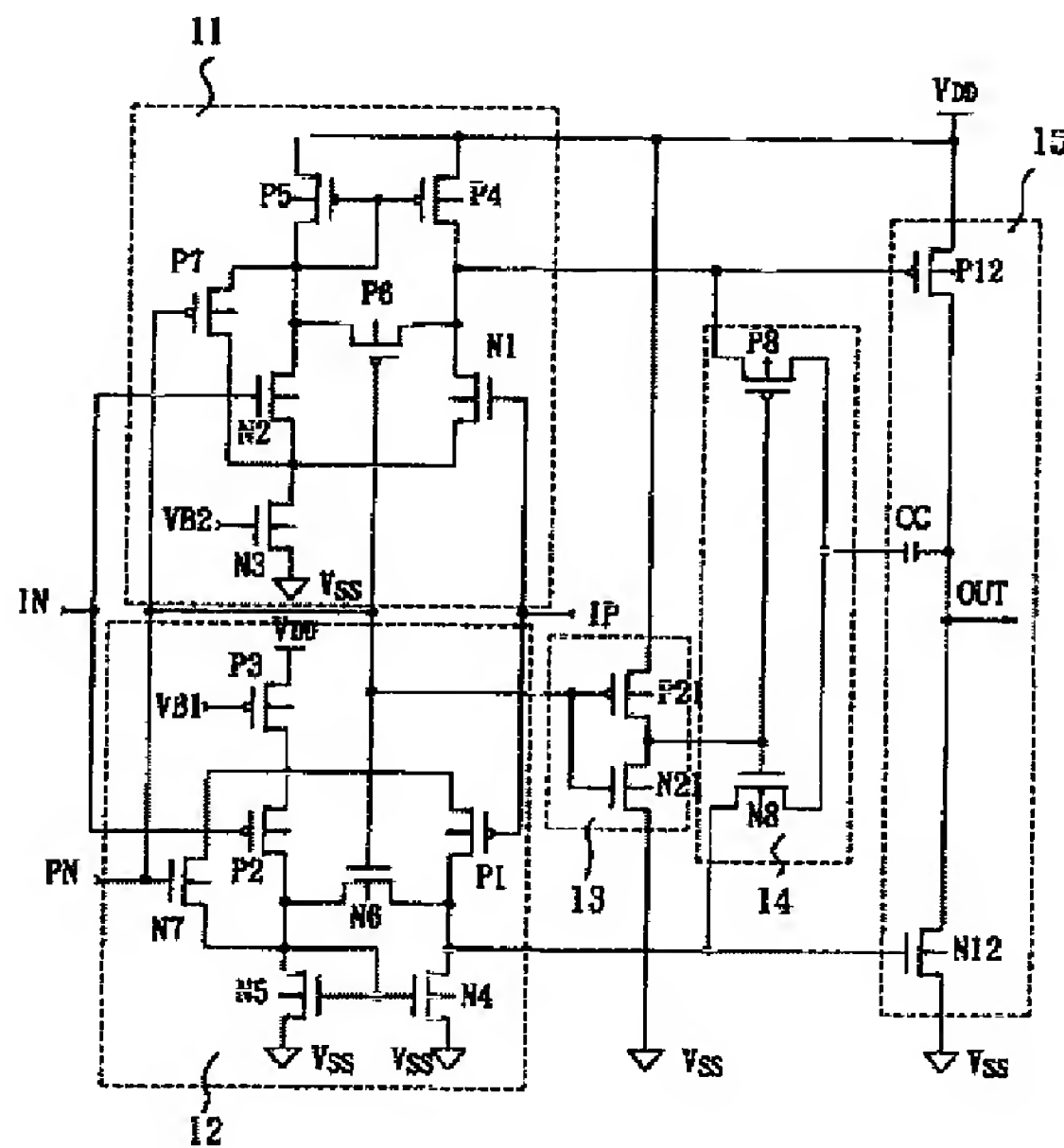
【図8】伝統的な液晶ディスプレイのソース駆動ユニットに用いられる演算増幅器の回路図である。

【図9】周知のTFT LCDの作業波形図である。

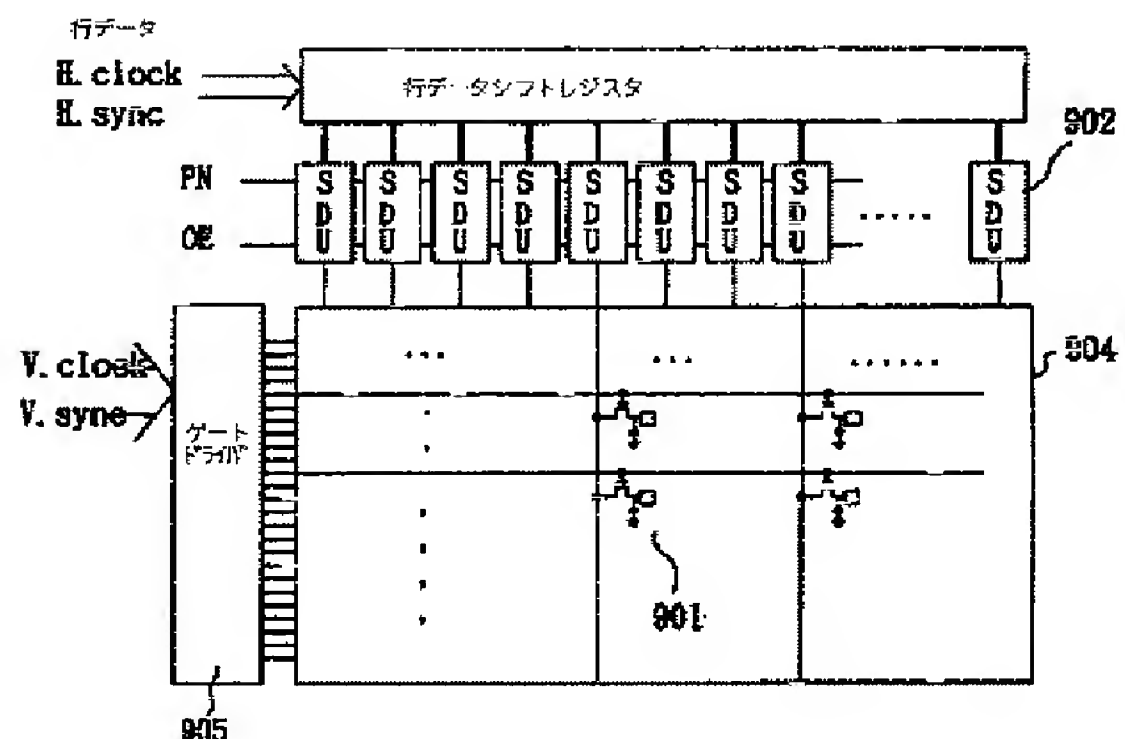
【符号の説明】

- |                       |                       |
|-----------------------|-----------------------|
| 11 第1入力回路             | 12 第2入力回路             |
| 13 インバータ              | 14 切換え回路              |
| 15 出力トランジスタ対          | 901 画素                |
| 902 ソース駆動ユニット         | 903 ゲートドライバ           |
| 904 走査線               | 911 マルチプレクサ           |
| 912 正の極性のデジタル・アナログ変換器 | 913 負の極性のデジタル・アナログ変換器 |
| 914 演算増幅器             | 915 伝送ゲート             |

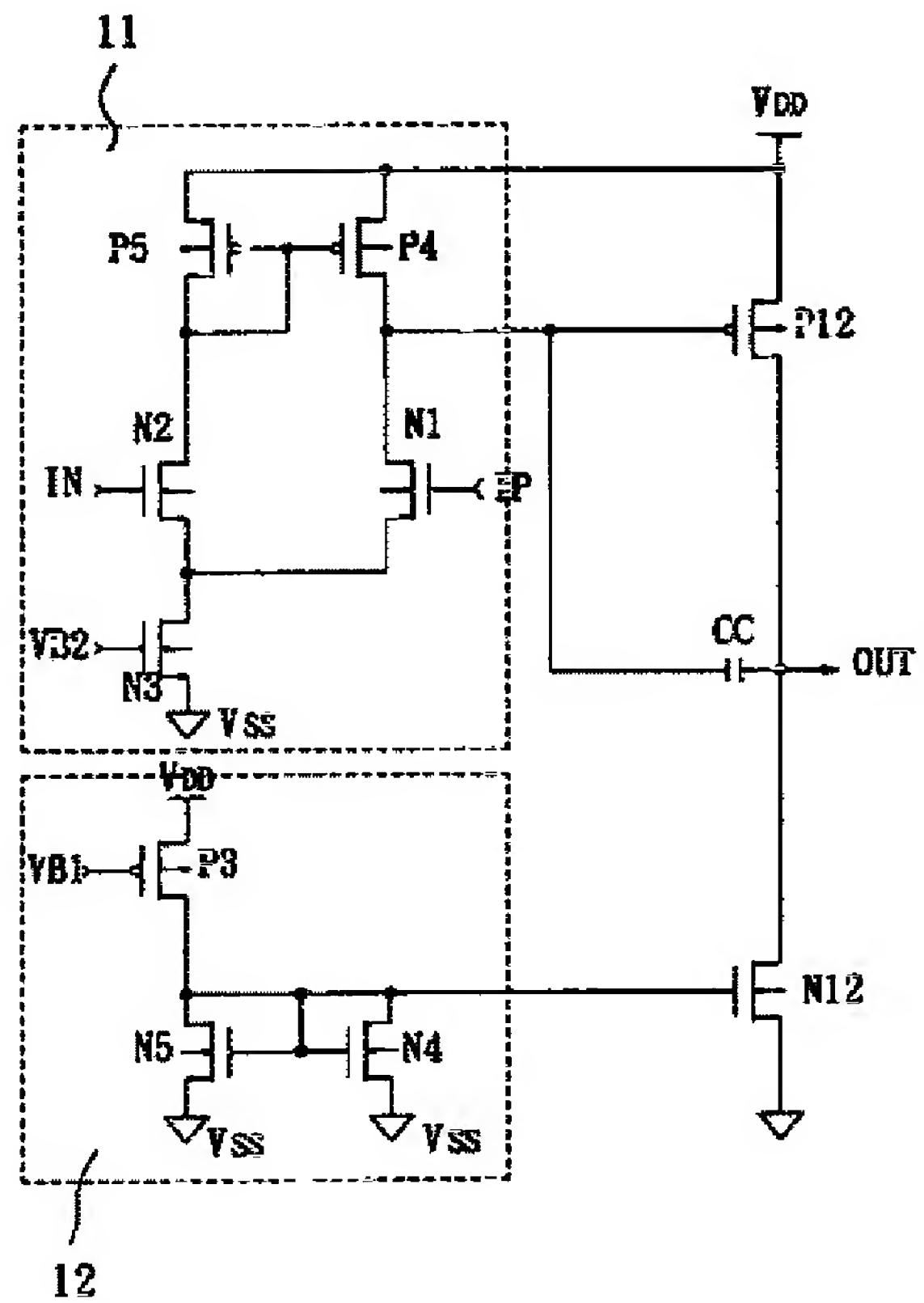
【図1】



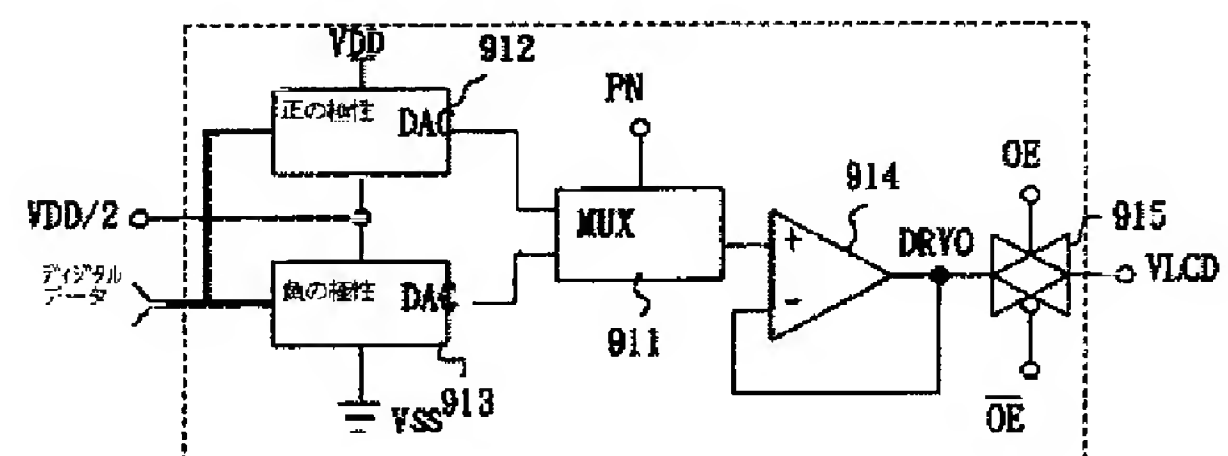
【図5】



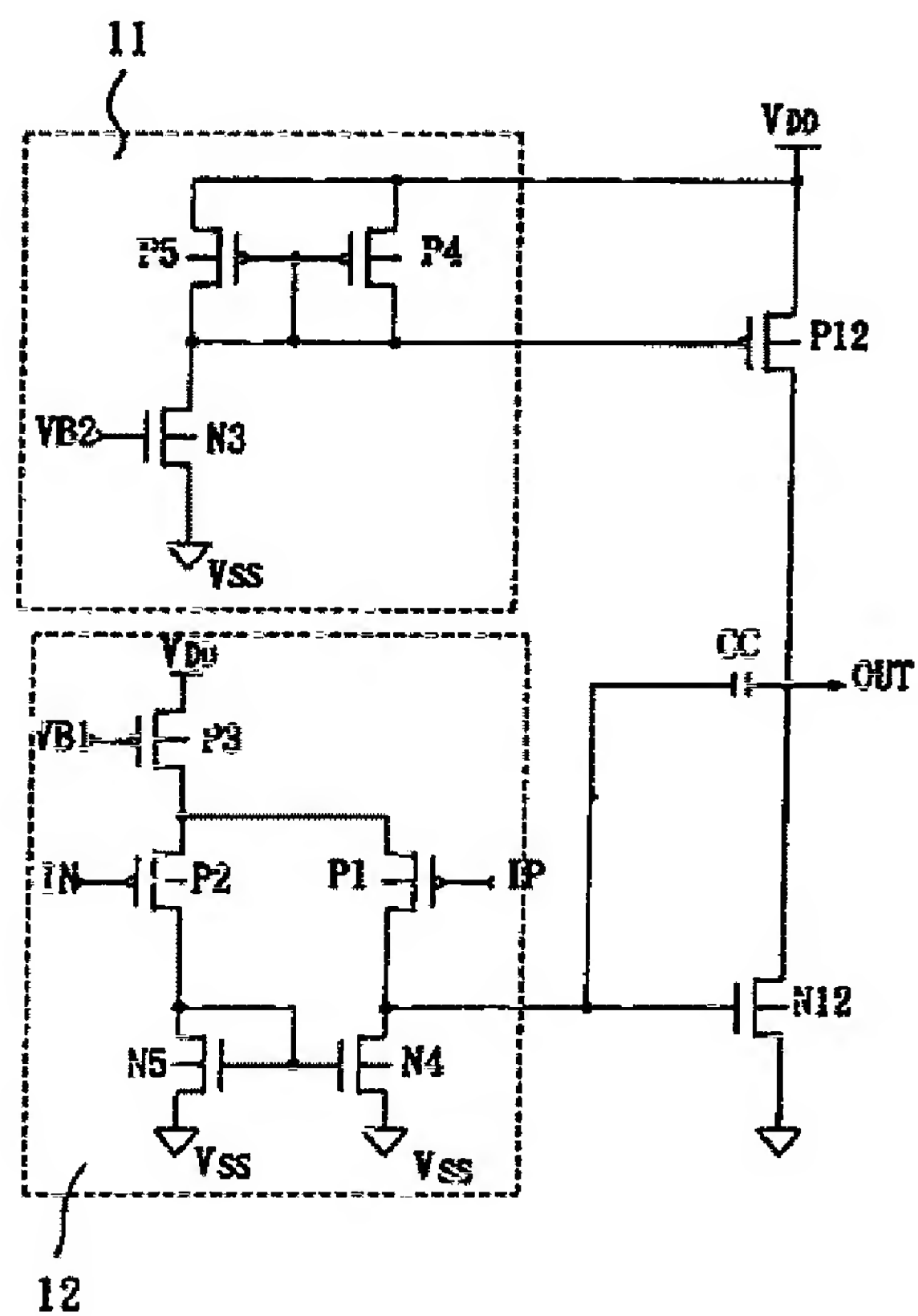
【図2】



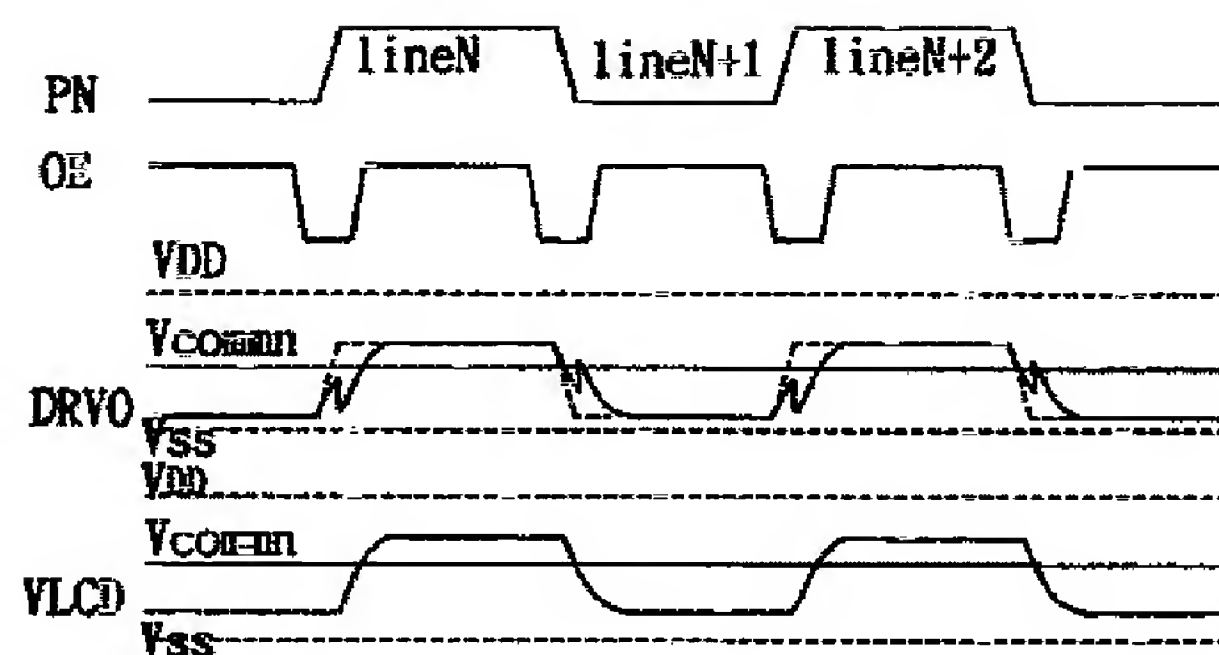
【図6】



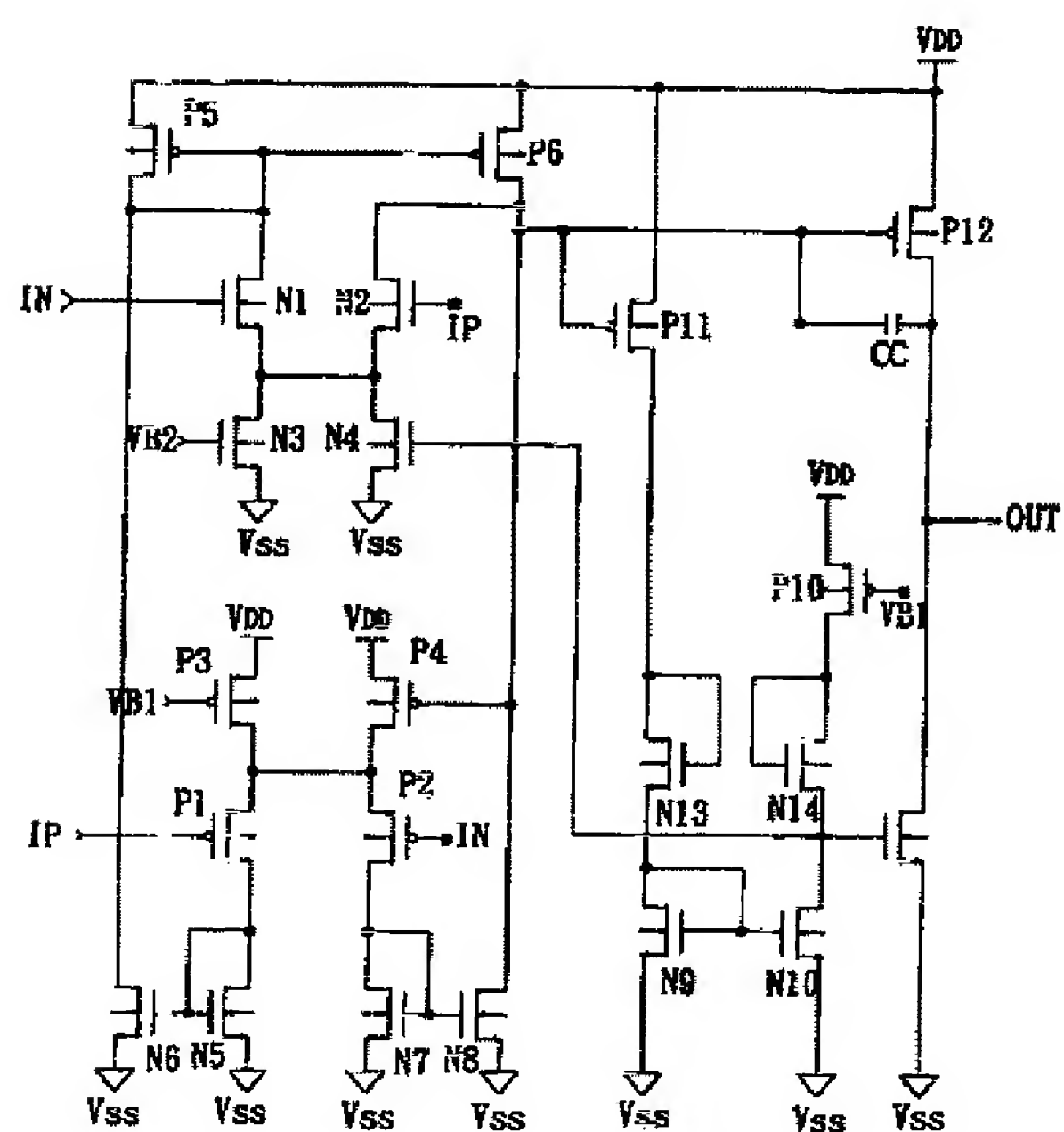
【图3】



【图7】

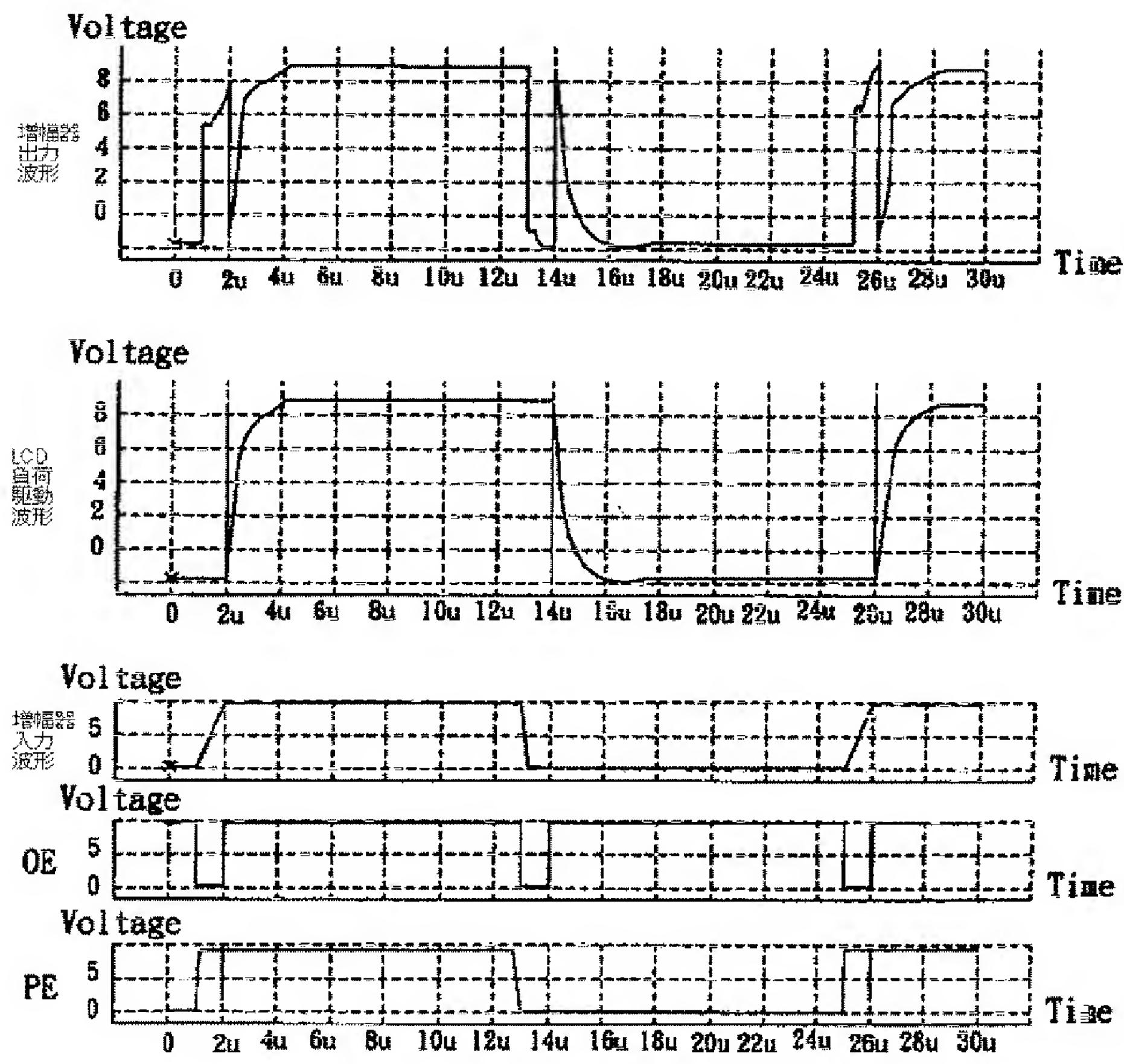


【例8】

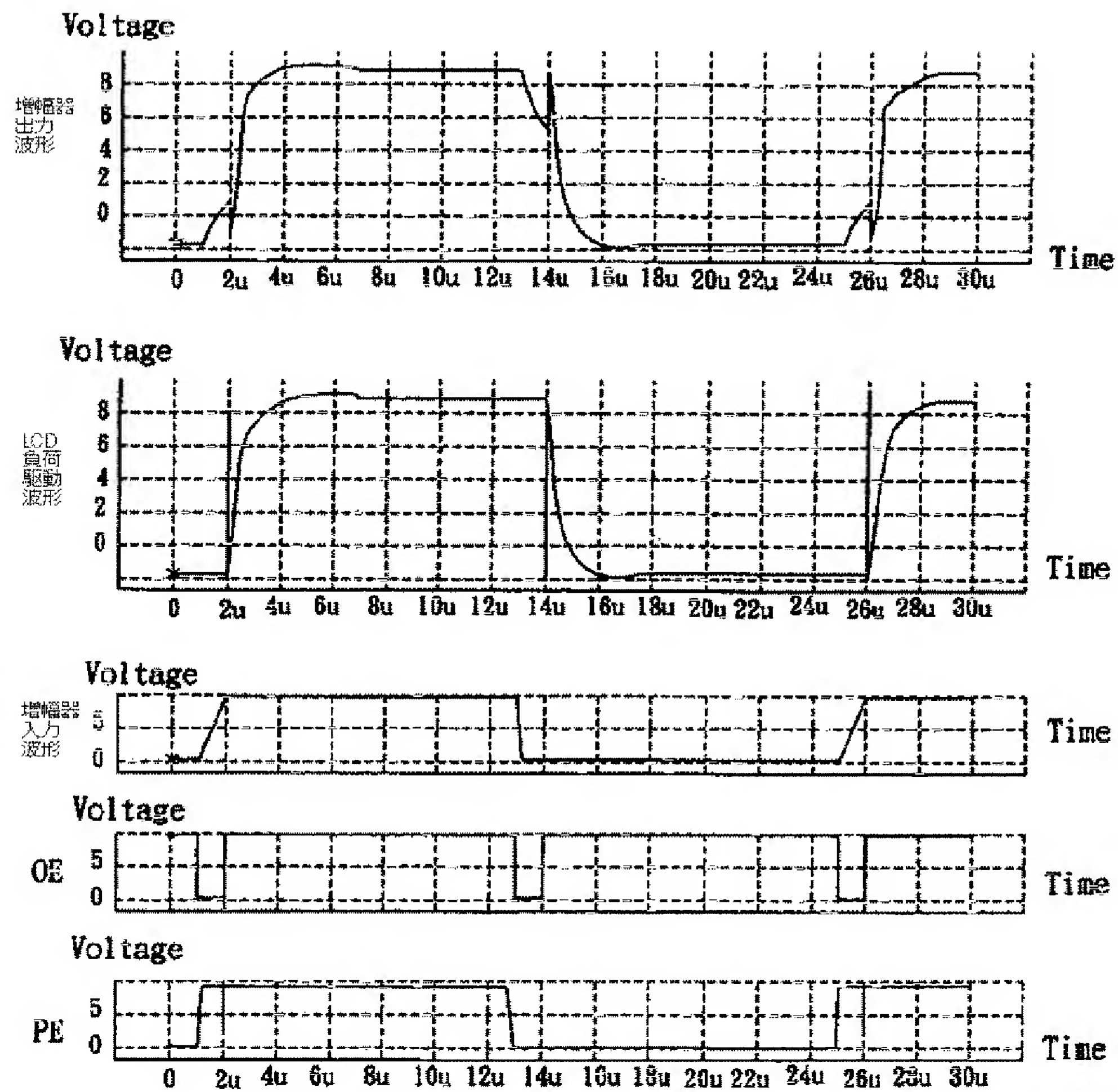




【图 4】



【図9】



フロントページの続き

F ターム(参考) 2H093 NC11 NC33  
5C006 AC07 AC26 BC11 BF25 BF32  
BF34 FA41  
5C080 AA10 BB05 DD06 DD08 DD22  
DD28 FF11 JJ02 JJ03 JJ04  
5J039 CC04 CC06 KK18 KK19 MM16  
5J066 AA01 AA12 CA00 CA13 FA10  
FA18 HA10 HA17 HA29 HA39  
KA01 KA02 KA03 KA04 KA09  
KA12 KA33 KA34 MA22 ND01  
ND14 ND22 ND23 PD01 SA08  
TA01 TA06